



HY3123

Datasheet

Dual 12bit DAC, 3CH. R2ROP & BIA Module

With High Precision 24-Bit $\Sigma\Delta$ ADC

Table of Contents

1. 特点	6
2. 简介	7
2.1. 内部方块图	7
2.2. Power System	7
2.3. GPIO PORT CLKOUT/IRQ/AI9	8
2.4. 12-bit DAC I	8
2.5. 12-bit DAC II	9
2.6. Rail to Rail OPAMP1	9
2.7. Rail to Rail OPAMP2	10
2.8. Rail to Rail OPAMP3	10
2.9. 24-bit $\Sigma\Delta$ ADC	11
2.10. BIA Module	11
3. 引脚定义	12
3.1. 产品引脚图	12
3.2. I/O 引脚定义	13
3.3. 封装片标记信息	14
3.3.1. SSOP 封装片标记信息	14
4. 应用电路	15
4.1. HCT Glucose Meter Application	15
5. 缓存器列表	16
5.1. 缓存器列表	16
5.2. 缓存器说明	17
5.2.1. PWRCN Register	17
5.2.2. OSCCN1 Register	17
5.2.3. ADCH ~ ADQL Register	19
5.2.4. CHOPCN Register	20
5.2.5. AD1CN1 ~ AD1CN5 Register	20
5.2.6. DACCN1 ~ DACCN4 Register	23
5.2.7. DAC2CN1 ~ DAC2CN3 Register	24

5.2.8.	OP1NET1 ~ OP1NET3 Register	25
5.2.9.	OP2NET1 ~ OP2NET3 Register	26
5.2.10.	OP3NET1 ~ OP3NET3 Register	27
5.2.11.	HAOTRIM Register	28
5.2.12.	HAOCTL Register	29
6.	电气特性	30
6.1.	ABSOLUTE MAXIMUM RATINGS	30
6.2.	Recommended operating conditions	30
6.3.	Internal RC Oscillator	30
6.4.	Supply current into VDD excluding peripherals current	32
6.5.	GPIO PORT CLKOUT/IRQ/AI9	33
6.6.	Brownout Reset (BOR)	34
6.7.	Power System	35
6.8.	$\Sigma\Delta$ ADC, Power Supply and recommended operating conditions	37
6.8.1.	$\Sigma\Delta$ ADC, performance	37
6.8.2.	$\Sigma\Delta$ ADC Noise Performance	39
6.8.3.	$\Sigma\Delta$ ADC Temperature Sensor	41
6.9.	Rail to Rail OPAMP1、OPAMP2、OPAMP3	42
6.10.	12-Bit Resistor Ladder	43
6.11.	BIA Module	43
7.	I²C 通讯协议	44
7.1.	I ² C 通讯时序图	44
8.	订货信息	50
9.	封装型式信息	51
9.1.	SSOP20(ES20)	51
9.1.1.	Package Dimensions SSOP20(150mil)	51
9.1.2.	Tube Dimensions SSOP20(150mil)	52
9.1.3.	Tape & Reel Information	53
9.1.3.1.	Reel Dimensions	53
9.1.3.2.	Carrier Tape Dimensions	53
9.1.3.3.	Pin1 direction	53
9.2.	SSOP16(E016)	54
9.2.1.	Package Dimensions SSOP16(150mil)	54
9.2.2.	Tube Dimensions SSOP16(150mil)	55
9.2.3.	Tape & Reel Information	56
9.2.3.1.	Reel Dimensions-Type1	56
9.2.3.2.	Carrier Tape Dimensions	56

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



9.2.3.3.	Pin1 direction	56
9.2.3.4.	Reel Dimensions-Type2.....	57
9.2.3.5.	Carrier Tape Dimensions	57
9.2.3.6.	Pin1 direction	57
10.	修订记录	58

注意:

- 1、本说明书中的内容，随着产品的改进，有可能不经过预告而更改。请客户及时到本公司网站下载更新 <http://www.hycontek.com>。
- 2、本规格书中的图形、应用电路等，因第三方工业所有权引发的问题，本公司不承担其责任。
- 3、本产品在单独应用的情况下，本公司保证它的性能、典型应用和功能符合说明书中的条件。当使用在客户的产品或设备中，以上条件我们不作保证，建议客户做充分的评估和测试。
- 4、请注意输入电压、输出电压、负载电流的使用条件，使 IC 内的功耗不超过封装的容许功耗。对于客户在超出说明书中规定额定值使用产品，即使是瞬间的使用，由此所造成的损失，本公司不承担任何责任。
- 5、本产品虽内置防静电保护电路，但请不要施加超过保护电路性能的过大静电。
- 6、本规格书中的产品，未经书面许可，不可使用在要求高可靠性的电路中。例如健康医疗器械、防灾器械、车辆器械、车载器械及航空器械等对人体产生影响的器械或装置，不得作为其部件使用。
- 7、本公司一直致力于提高产品的质量和可靠度，但所有的半导体产品都有一定的失效概率，这些失效概率可能会导致一些人身事故、火灾事故等。当设计产品时，请充分留意冗余设计并采用安全指标，这样可以避免事故的发生。
- 8、本规格书中内容，未经本公司许可，严禁用于其他目的之转载或复制。

1. 特点

- AFE 前置模拟处理设计
 - ◆ 内建高精度 RC 震荡器(HAO),可选择的频率为: 2MHz、4MHz、8MHz, 并提供频率输出的功能
 - ◆ VDDA 输出可达 10mA 的驱动电源
 - ◆ 三个轨对轨(Rail-to-rail) OPAMP.
 - ◆ 1MHz, 24-bit $\Sigma\Delta$ ADC 模拟数字转换器
 - ◆ I²C 数据传输接口
- 操作环境范围
 - ◆ 数字电压 VDD: 2.2V to 5.5V
 - ◆ 仿真电压 VDDA: 2.2V to 3.6V
 - ◆ 操作温度范围 -40°C to +85°C
- 24-bits $\Sigma\Delta$ ADC
 - ◆ 可选择增益 $\times 1/4$, $\times 1/2$, $\times 1 \sim \times 16$
 - ◆ 可选择不同的数据转换输出速率, 最高可达 31.25Ksps
 - ◆ 内建直流偏压设计
 - ◆ IRQ 功能
- 12-bit Resistor Ladder DAC
 - ◆ 可编程电阻分压计, 具单调性输出功能
 - ◆ 搭配 OPAMP 可设计成双通道 12-bit DAC
- Rail-to-Rail OPAMP
 - ◆ 内置 3 个轨对轨信号输入设计
 - ◆ 具 1mA 输出与输入电流能力
- 内置线性稳压器 VDDA 与参考电压 REFO
 - ◆ VDDA 可输出电压 2.2V~3.6V
 - ◆ REFO 可输出电压 1.2V
- I²C 传输接口
 - ◆ 具标准通讯格式
 - ◆ 支援 F_{SCL} = 400KHz
 - ◆ Sleep 功能(缓存器控制)
- IRQ 功能支持
- BIA Module
 - ◆ 电化学分析(Electrochemical analysis)
 - ◆ 生物阻抗分析(Bioelectrical impedance analysis)
 - ◆ AC waveform frequency: 122Hz~250KHz
 - ◆ Impedence Range: 1K ~ 1M Ω
 - ◆ Phase detector: 0~90°
- 封装型式
 - ◆ SSOP20
 - ◆ SSOP16

功能列表

Model No.	VDD (V)	Internal Clock (Hz)	System Clock (Hz)	ADC ENOB (bit x ch)	Sample Rate (sps)	TPS	OPAMP (type x ch.)	DAC (bit x ch.)	IRQ Function	BIA Module	Serial Interface	Package
HY3123	2.2~5.5	2M 4M 8M	2M~8M	19-bit x 11	8~31.25K	yes	R2R x 3	12-bit x 2	yes	yes	I ² C x 1	SSOP20 SSOP16

2. 简介

2.1. 内部方块图

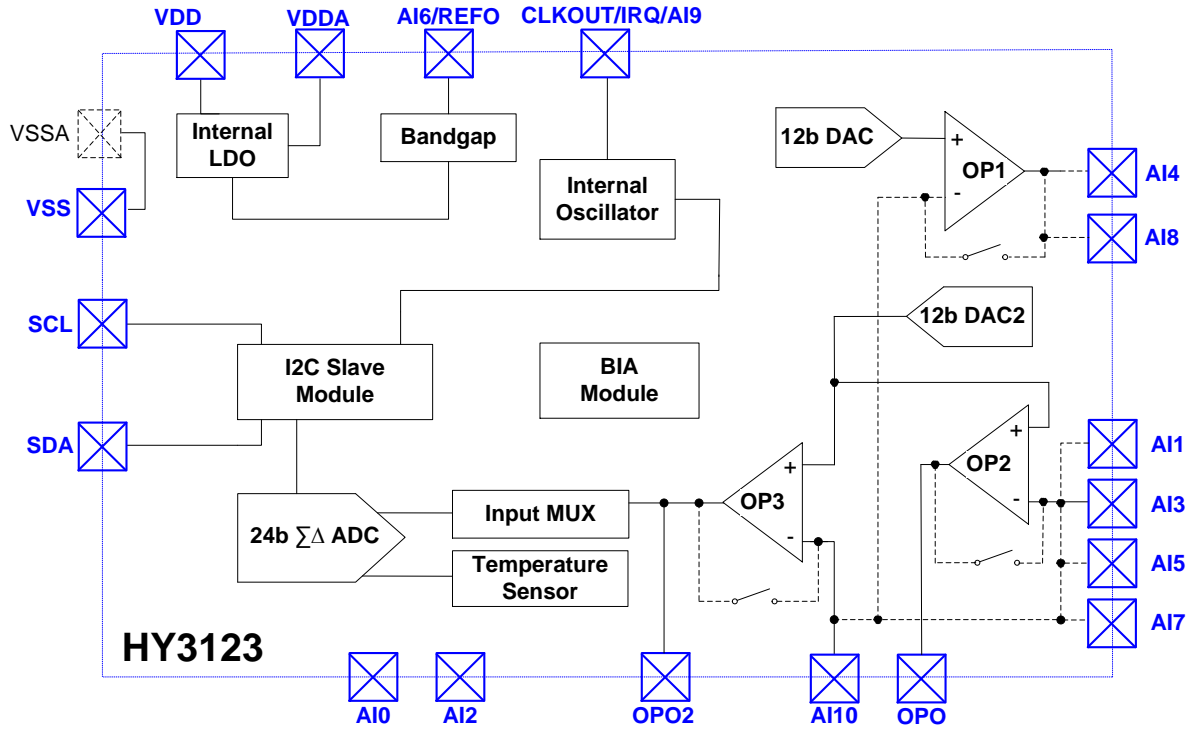


图 2-1 芯片内部方块图

2.2. Power System

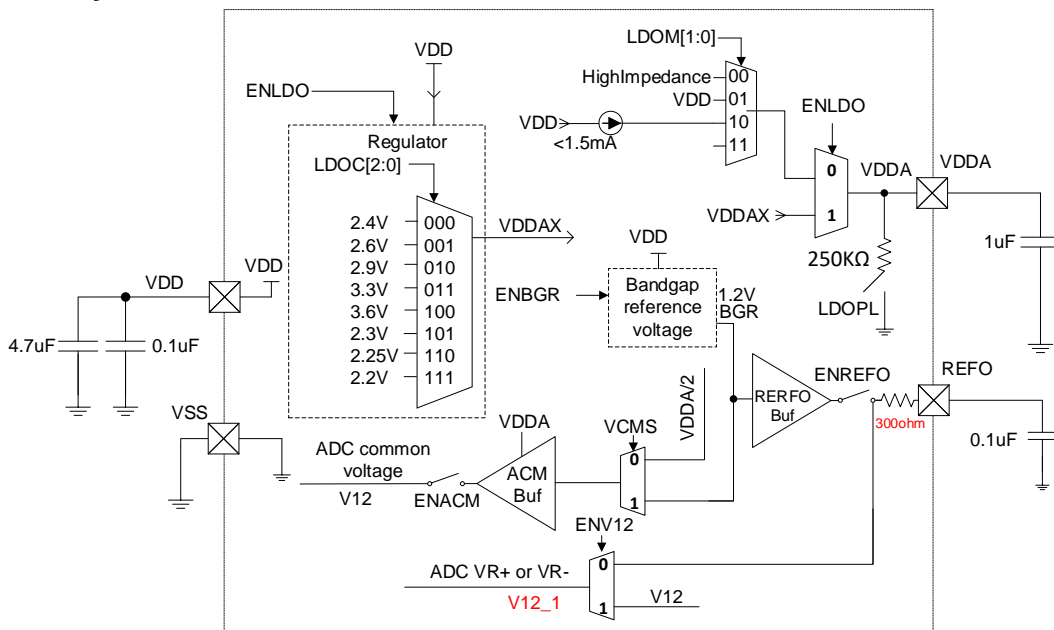


图 2-2 Power System Block

2.3. GPIO PORT CLKOUT/IRQ/AI9

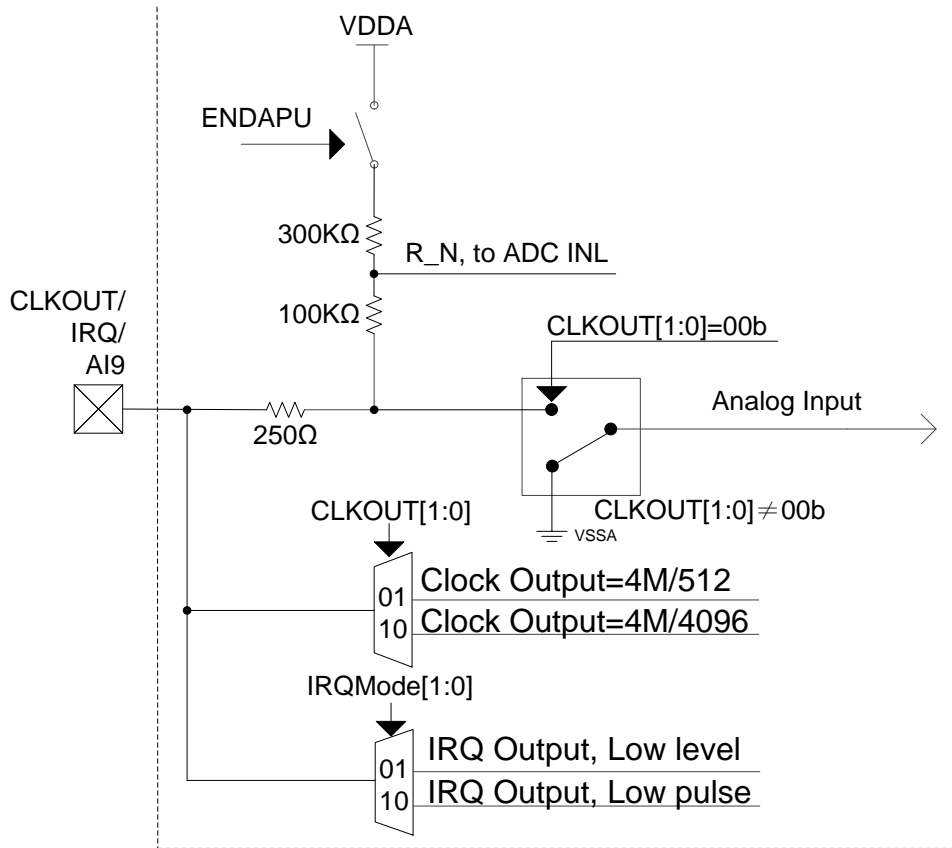


图 2-3 GPIO PORT CLKOUT/IRQ/AI9

2.4. 12-bit DAC I

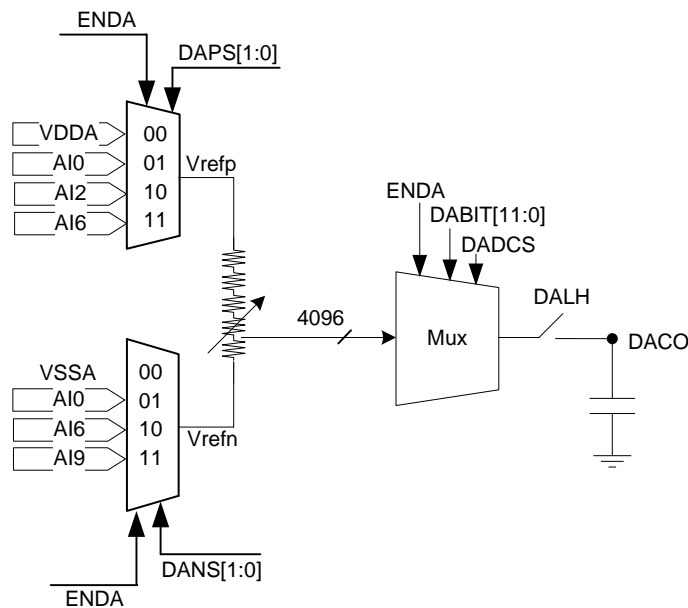


图 2-4 12-bit DAC I Block

2.5. 12-bit DAC II

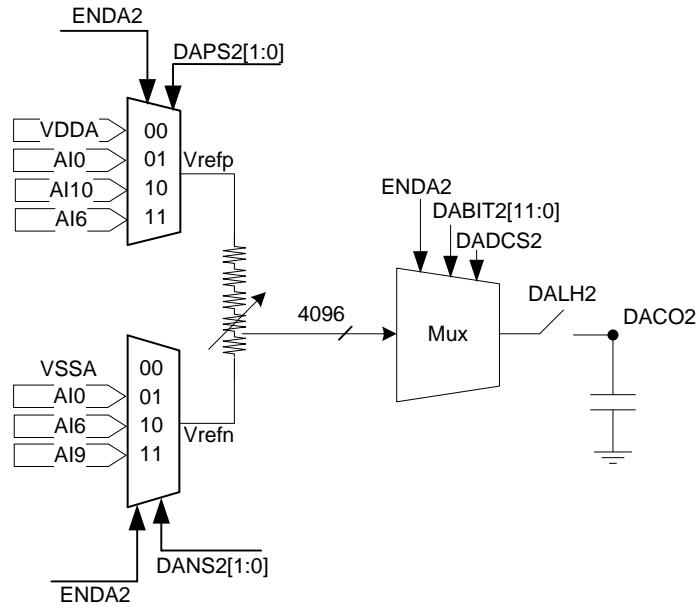


图 2-5 12-bit DAC II Block

2.6. Rail to Rail OPAMP1

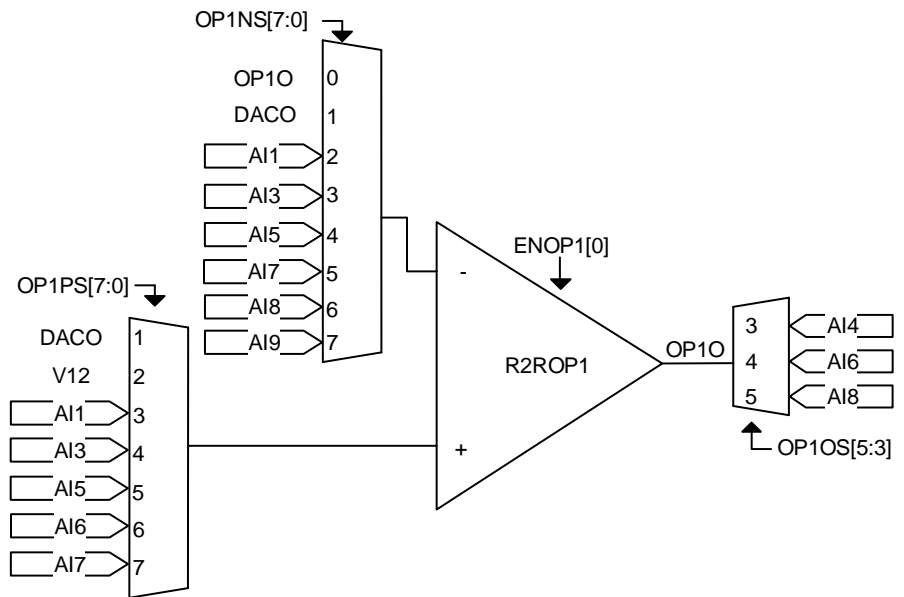


图 2-6 Rail to Rail OPAMP1 Block

2.7. Rail to Rail OPAMP2

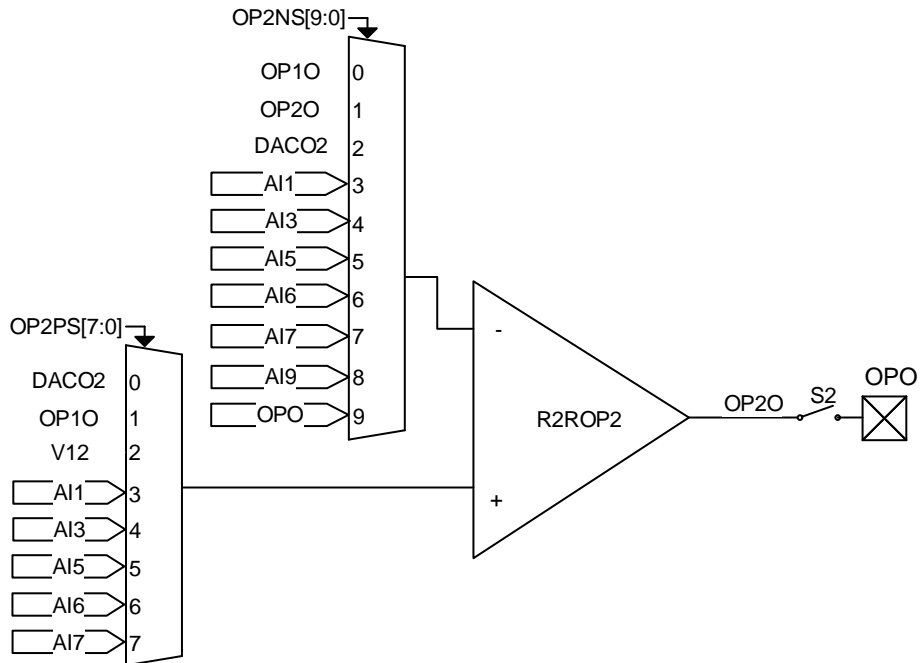


图 2-7 Rail to Rail OPAMP2 Block

2.8. Rail to Rail OPAMP3

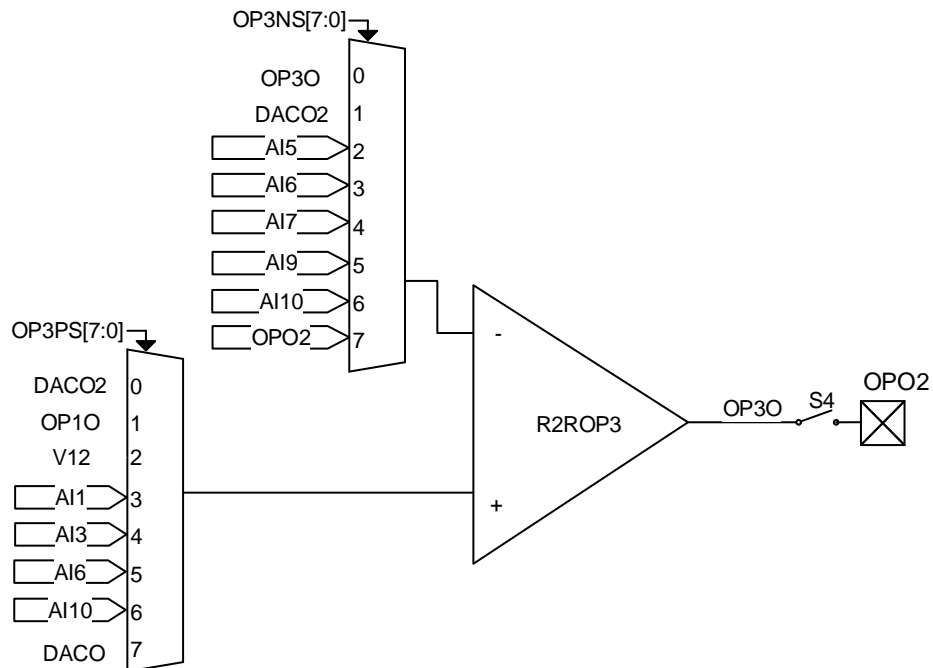


图 2-8 Rail to Rail OPAMP3 Block

2.9. 24-bit $\Sigma\Delta$ ADC

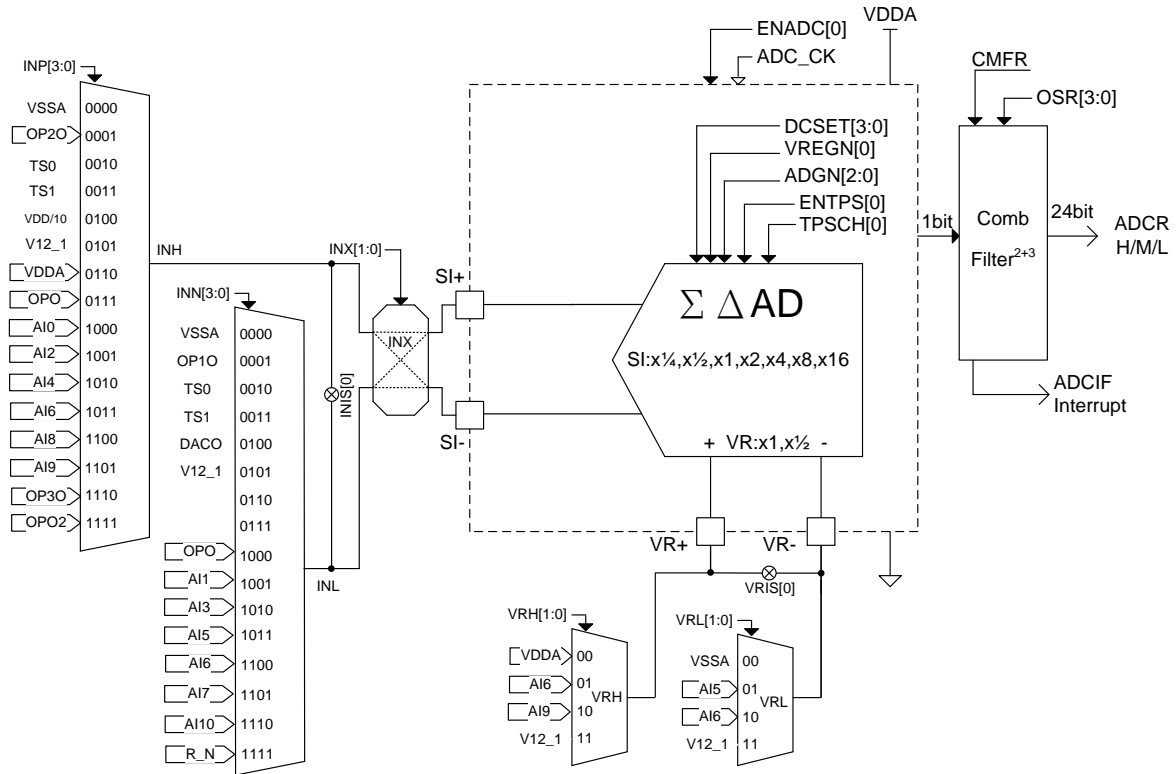


图 2-9 24-bit $\Sigma\Delta$ ADC Block

2.10. BIA Module

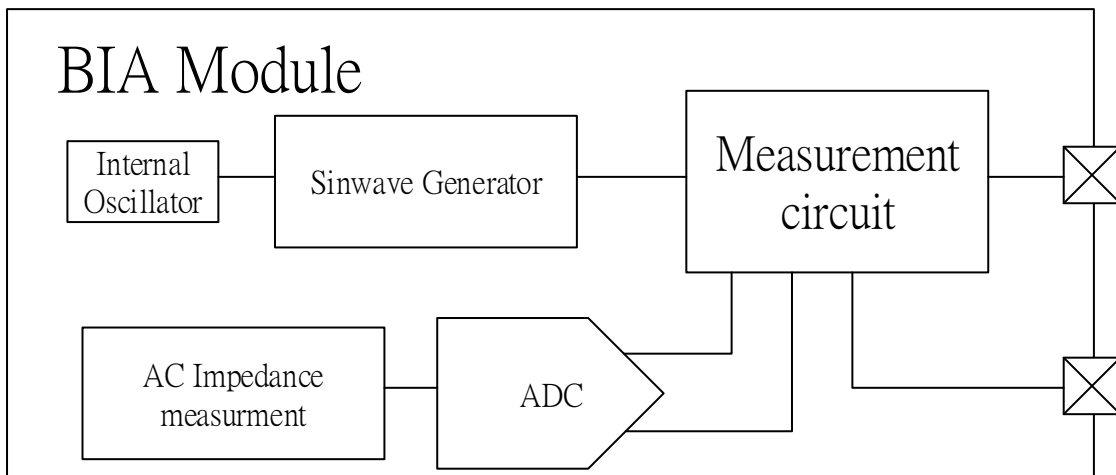


图 2-10 BIA Block

※BIA Module 详细资料请洽 纭康科技联系窗口

3. 引脚定义

3.1. 产品引脚图

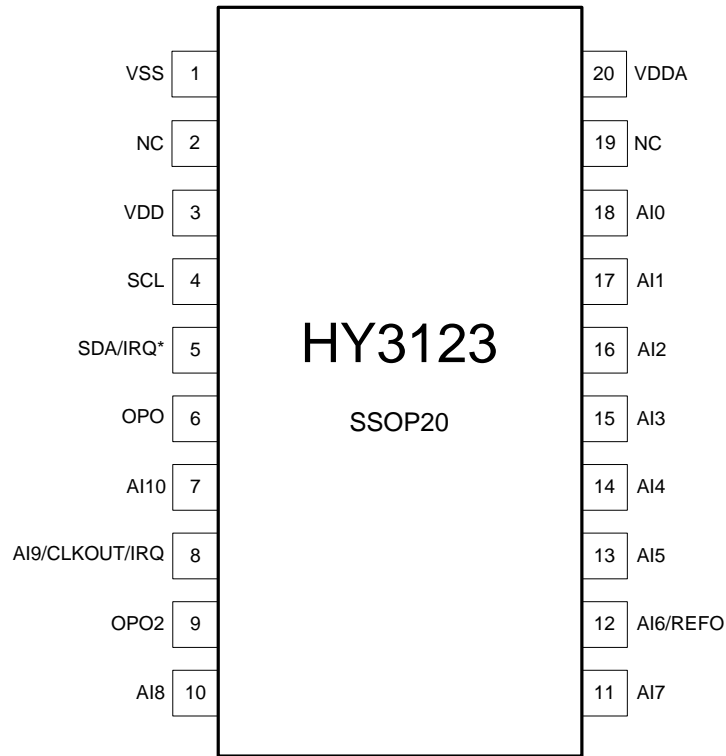


Figure 3-1 SSOP20 引脚图

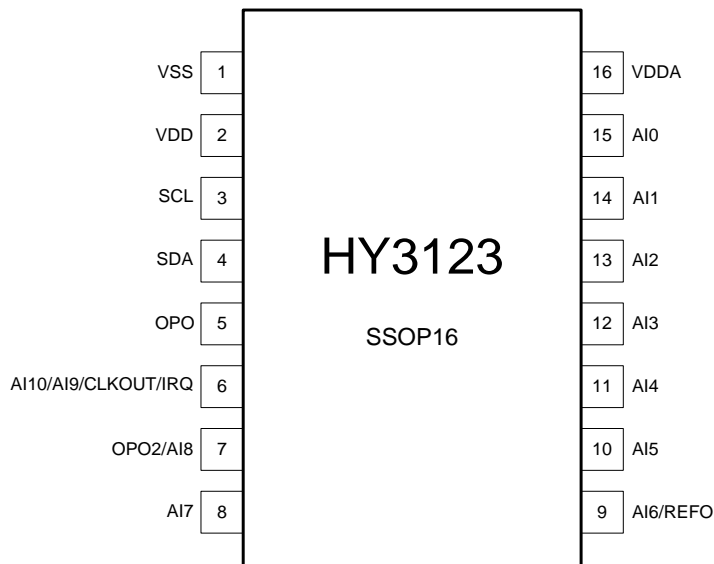


Figure 3-2 SSOP16 引脚图

3.2. I/O 引脚定义

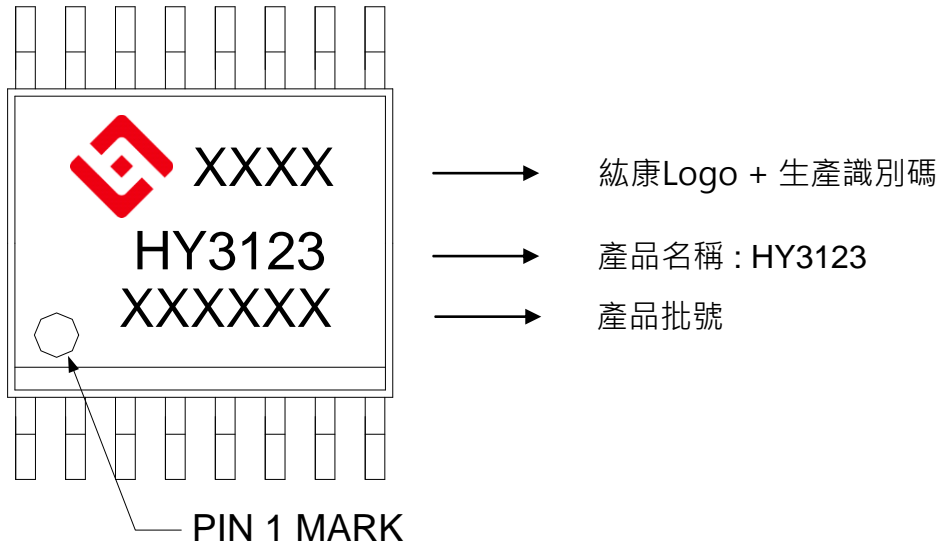
"I/O" Input/Output, "I" Input, "O" Output, "D" Digital Open-Drain, "S" Schmitt Trigger, "C" CMOS, "P" Power, "A" Analog

封装/编号/脚位		设计			描述
SSOP20	SSOP16	名称/功能	型式	缓冲	
1	1	VSS	P	P	芯片工作电压源接地端
2		NC	-	-	不连接(Not connected), 该脚请保持空接
3	2	VDD	P	P	芯片工作电压源, 需外接1~10uF 对地电容
4	3	SCL	DIO	S	I ² C 通讯接口时钟引脚
5	4	SDA	DIO	S	I ² C 通讯接口数据引脚
		IRQ*	DO	C	ADC 中断状态输出(复用选择)
6	5	OPO	P	P	OPAMP2 输出引脚
7	6	AI10	P	P	模拟通道 10
8	6	AI9	P	P	模拟通道 9
		CLKOUT	P	P	内部 RC 震荡除频输出引脚
		IRQ	P	P	ADC 中断状态输出引脚
9	7	OPO2	DAIO	A	OPAMP3 输出引脚
10	7	AI8	AIO	A	模拟通道 8
11	8	AI7	AIO	A	模拟通道7
12	9	AI6	AIO	A	模拟通道6
		REFO	P	P	1.2V参考电压输出, 需外接0.1uF对地电容.
13	10	AI5	AIO	A	模拟通道 5
14	11	AI4	AIO	A	模拟通道4
15	12	AI3	AIO	A	模拟通道3
16	13	AI2	AIO	A	模拟通道2
17	14	AI1	AIO	A	模拟通道1
18	15	AI0	AIO	A	模拟通道0
19		NC	-	-	不连接(Not connected), 该脚请保持空接
20	16	VDDA	AIO	P	稳压器输出, 模拟电路电压源, 需要外接1~10uF 对地电容 (source: VDD)

表 3-1 引脚定义与功能说明

3.3. 封装片标记信息

3.3.1. SSOP 封装片标记信息



4. 应用电路

4.1. HCT Glucose Meter Application

※BIA Module 详细资料请洽纭康科技联系窗口

5. 缓存器列表

5.1. 缓存器列表

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W	
001h	PWRCN	ENBGR	LDOC[2:0]		LDOM[1:0]		ENLDO	ENREFO		1000 0000	1000 0000	*,*,*,*,*,*,*,*	
002h	OSCCN1	DADC[1:0]		CLKOUT[1:0]		IRQMode[1:0]		IRQSEL	ENDAPU	0011 0000	00xx 0000	*,*,*,*,*,*,*,*	
003h	ADCH	ADC conversion high byte data register								0000 0000	0000 0000	r,r,r,r,r,r,r,r	
004h	ADCM	ADC conversion middle byte data register								0000 0000	0000 0000	r,r,r,r,r,r,r,r	
005h	ADCL	ADC conversion low byte data register								ADST	0000 0000	0000 0000	r,r,r,r,r,r,r,r
00Fh	CHOPCN	DAFM	ENCH	ENINXCH			-	-	-	0000 0000	0000 0000	*,*,*,*,*,*,*,*	
010h	AD1CN1	ENAD1	OSRM	VREGN	OSR[3:0]			CMFR		0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,* w1	
011h	AD1CN2	ENACM	ENV12	VCMS	LDOPL	ADGN[2:0]				0000 0000	0000 0000	*,*,*,*,*,*,*,*	
012h	AD1CN3	VRH[1:0]		VRL[1:0]		DCSET[3:0]				0000 0000	0000 0000	*,*,*,*,*,*,*,*	
013h	AD1CN4	INP[3:0]			INN[3:0]					0000 0000	0000 0000	*,*,*,*,*,*,*,*	
014h	AD1CN5	-	ENTPS	TPSCH	INX[1:0]			-	-	0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
015h	DACCN1	ENAH0	DAPS[1:0]		DANS[1:0]		-	-	-	0000 0000	0000 0000	*,*,*,*,*,*,*,*	
016h	DACCN2	ENOP3	ENOP2	ENOP1	DADCS	DALH	-	-	ENDA	0000 0000	0000 0000	*,*,*,*,*,*,*,*	
017h	DACCN3	-	-	-	-	DABIT[11:8]				0000 0000	0000 0000	*,*,*,*,*,*,*,*	
018h	DACCN4	DABIT[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
019h	DAC2CN1	DAPS2[1:0]		DANS2[1:0]		DALH2	-	-	ENDA2	0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
01Ah	DAC2CN2	-	-	-	DADCS2	DABIT2[11:8]				0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
01Bh	DAC2CN3	DABIT2[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
01Ch	OP1NET1	-	-	OP1OS[5:3]			-	-	-	0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
01Dh	OP1NET2	OP1PS[7:1]								-	0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*
01Eh	OP1NET3	OP1NS[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
01Fh	OP2NET1	-	-	-	-	-	-	OP2NS[9:8]		0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
020h	OP2NET2	OP2NS[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
021h	OP2NET3	OP2PS[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
022h	OP3NET1	S4	-	S2	-	-	-	-	-	0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
023h	OP3NET2	OP3NS[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
024h	OP3NET3	OP3PS[7:0]								0000 0000	0000 0000	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
02Bh	HAOTRIM	-	HAOTR[6:0]							0100 0000	uuuu uuuu	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	
03Eh	HAOCTL	ENHAO	HAOM1	HAOM0	-	-	-	-	TRIMON	0000 0u00	0000 0x00	*,*,*,*,*,*,*,* *,*,*,*,*,*,*,*	

表 5-1 控制缓存器列表

5.2. 缓存器说明

5.2.1. PWRCN Register

“-” no use, “*” read/write, “w” write, “r” read, “r0” only read 0, “r1” only read 1, “w0” only write 0, “w1” only write 1												
“.” unimplemented bit, “x” unknown, “u” unchanged, “d” depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
001h	PWRCN	ENBGR	LDOC[2:0]			LDOM[1:0]		ENLDO	ENREFO	1000 0000	1000 0000	*****

表 5-2 PWRCN 控制缓存器

PWRCN 控制缓存器:

位	名称	描述																				
Bit7	ENBGR	内部Bias电压控制器 <0>关闭。如果关闭内部 HAO 后，再关闭 ENBGR 芯片就会进入 Sleep Mode <1>启用(预设)，当开启 ADC 及 TPS 前，ENBGR 必须先设为‘1’后再开启。																				
Bit6~4	LDOC[2:0]	VDDAX 输出电压选择器 当 ENLDO 为‘1’时，此设定电压才会输出至 VDDA 接脚上。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LDOC[2:0]</th> <th>VDDAX 输出电压</th> <th>LDOC[2:0]</th> <th>VDDAX 输出电压</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>2.4V</td> <td>100</td> <td>3.6V</td> </tr> <tr> <td>001</td> <td>2.6V</td> <td>101</td> <td>2.3V</td> </tr> <tr> <td>010</td> <td>2.9V</td> <td>110</td> <td>2.25V</td> </tr> <tr> <td>011</td> <td>3.3V</td> <td>111</td> <td>2.2V</td> </tr> </tbody> </table> 注意：在实际应用时，VDDA 必须要小于 VDD-0.25V。	LDOC[2:0]	VDDAX 输出电压	LDOC[2:0]	VDDAX 输出电压	000	2.4V	100	3.6V	001	2.6V	101	2.3V	010	2.9V	110	2.25V	011	3.3V	111	2.2V
LDOC[2:0]	VDDAX 输出电压	LDOC[2:0]	VDDAX 输出电压																			
000	2.4V	100	3.6V																			
001	2.6V	101	2.3V																			
010	2.9V	110	2.25V																			
011	3.3V	111	2.2V																			
Bit3~2	LDOM[1:0]	VDDA 输出选择器 当 ENLDO 为‘0’时，此设定才会输出至 VDDA 接脚上。 <00> 关闭(预设)，使 VDDA 具高输入阻抗模式 <01> 输出 VDD 电压 <10> Pull high to VDD by 1.5mA. (It is use to initial VDDA when a small current) <11> Reserved.																				
Bit1	ENLDO	内部 VDDA 线性稳压器控制器 <0>关闭(预设) <1>启用																				
Bit0	ENREFO	REFO 电压源输出控制 <0> 关闭(预设) <1> 1.2V 电压源输出。																				

5.2.2. OSCCN1 Register

“-” no use, “*” read/write, “w” write, “r” read, “r0” only read 0, “r1” only read 1, “w0” only write 0, “w1” only write 1												
“.” unimplemented bit, “x” unknown, “u” unchanged, “d” depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
002h	OSCCN1	DADC[1:0]		CLKOUT[1:0]		IRQMode[1:0]		IRQSEL	ENDAPU	0011 0000	00xx 0000	*****

表 5-3 OSCCN1 控制缓存器

OSCCN1 控制缓存器:

位	名称	描述
---	----	----

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位	名称	描述	
Bit7~6	DADC[2:0]	ADC Clock 的频率分配选择器 <00> Pre-Scale: HAO \div 4(预设) <01> Pre-Scale: HAO \div 8 <10> Pre-Scale: HAO \div 2 <11> Reserved	
Bit5~4	CLKOUT[1:0]	CLKOUT 功能输出选择器。(输出引脚为 CLKOUT) <00> 关闭输出, 为高阻抗输入状态。 <01> 芯片内部高速 HAO 频率输出, Pre-Scale: HAO \div 512 <10> 芯片内部高速 HAO 频率输出, Pre-Scale: HAO \div 4096 <11> 输入 VSS 电位(预设)	
Bit3~2	IRQMode[1:0]	IRQMode[1:0]	IRQ 输出功能
		<00>	关闭 IRQ 输出功能(默认)
		<01>	IRQ Mode 启动, IRQ 脚位输出低准位: ADC 发生中断时, 使 IRQ 脚位输出 Low Level。 1. 当 IRQSEL<0>=CLKOUT 时,直到发生 Host 读取缓存器 (包含 ADCH~ADQL, 03H~0BH)行为时才会解除 IRQ 状态, 恢复到 High Level; 该设定优先级高于 CLKOUT[1:0]设定, 当设定 IRQ Mode[1:0]=01b or 10b 时, CLKOUT[1:0]的设定将会无效。 2. 当 IRQSEL<1>=SDA 时, 当 ADC 转换完成需要触发 IRQ 中断时, 此时若正在 I ² C 通讯中, 则 SDA 输出 Low Level 会在 I ² C Stop 之后才发生。之后需要透过 SCL 送出 Low Pulse 才可以解开 SDA, 之后才可以重新进行 I ² C 通讯。
		<10>	IRQ Mode 启动, IRQ 脚位输出 Low Pulse: ADC 发生中断时, 使 IRQ 脚位输出 Low Pulse 维持 16 个 ADC Clock 时间(ADC Clock=1MHz, Low Pulse Time= 1M/16=16 us)。 1. 当 IRQSEL<0>=CLKOUT 时, ADC 发生中断时, IRQ 脚位正常输出 Low Pulse; 该设定优先级高于 CLKOUT[1:0]设定, 当设定 IRQ Mode[1:0]=01b or 10b 时, CLKOUT[1:0]的设定将会无效。 2. 当 IRQSEL<1>=SDA 时, 当 ADC 转换完成需要触发 IRQ 中断时, 此时若正在 I ² C 通讯中, 则 SDA 的输出 Low Pulse 会在 I ² C Stop 之后才发生;

位	名称	描述
		<div style="border: 1px solid black; padding: 5px;"> Host 需要在等待 IRQ Low Pulse 前须自行正确设定 Host 端 GPIO 带有中断触发(High to Low trigger)功能, 才可以避免数据漏接问题。 </div> <div style="border: 1px solid black; padding: 5px; margin-top: 5px;"> <11> Reserved </div>
Bit1	IRQSEL	IRQ 功能输出引脚选择器 <0> CLKOUT(预设) <1> SDA IRQ Mode 启动与设定,由 IRQMode[1:0]决定
Bit0	ENDAPU	A19 引脚上拉电阻启动选择器 <0> 关闭上拉电阻(预设) <1> 启动 400K ohm 上拉电阻连接到 VDDA 引脚

5.2.3. ADCH ~ ADQL Register

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W	
003h	ADCH	ADC conversion high byte data register								0000 0000	0000 0000	r,r,r,r r,r,r,r	
004h	ADCM	ADC conversion middle byte data register								0000 0000	0000 0000	r,r,r,r r,r,r,r	
005h	ADCL	ADC conversion low byte data register								ADST	0000 0000	0000 0000	r,r,r,r r,r,r,r

表 5-4 ADCH ~ ADQL 数据缓存器

ADCH[7:0]、ADCM[7:0]、ADCL[7:0] ADC 数据转换缓存器:

位	名称	描述
Bit7~0	ADCH[7:0]	ADC High Byte 数据缓存器
Bit7~0	ADCM[7:0]	ADC Middle Byte 数据缓存器
Bit7~1	ADCL[7:1]	ADC Low Byte 数据缓存器
Bit0	ADST	ADC 数据读取旗标 <0> ADC 数据已经读取或是还未发生 ADC 中断事件 <1> ADC 已经更新数据发生中断旗标。当读取该缓存器之后, 该位由硬件自动清除为 0。

ADCH 缓存器支持 I²C 连续读取数据功能。当 I²C 通讯要读取 ADCH~ADCL 缓存器时,可以透过连续读取方式,由 Host 直接读出 24-bit ADC 数据转换数值。当下一次 ADC 中断发生时要重新读取 ADCH~ADCL 缓存器时,Host 不须重新下 Point Address, 即可直接读出数据, 读取协议可参考图 7-11 说明。

5.2.4. CHOPCN Register

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
00Fh	CHOPCN	DAFM	ENCH	ENINXCH						0000 0000	0000 0000	*****

表 5-6 CHOPCN 控制寄存器

CHOPCN 控制寄存器:

位	名称	描述
Bit7	DAFM	Comb filter 输出数据格式. <0> 正常数据输出 (默认) <1> Chopper Result 数据输出. (ADC1 + (ADC2))/2, 下一笔则为: (ADC2 + ADC3)/2....
Bit6	ENCH	ADC Chopper Mode 控制器 <0> 关闭 (预设) <1> 启用. Note: 必须先设定 ENINXCH 以及 DAFM, 最后再开启 ENCH.
Bit5	ENINXCH	控制 ADC 输入端 INX[1:0]自动切换开关 <0> 不启动, INX 维持原本使用者设定 (预设) <1> 启动自动切换;

5.2.5. AD1CN1 ~ AD1CN5 Register

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
010h	AD1CN1	ENAD1	OSRM	VREGN	OSR[3:0]				CMFR	0000 0000	0000 0000	*,*,*,*,*,w1
011h	AD1CN2		ENACM	ENV12	VCMS	LDOPL	ADGN[2:0]			0000 0000	0000 0000	*,*,*,*,*,*
012h	AD1CN3	VRH[1:0]		VRL[1:0]		DCSET[3:0]				0000 0000	0000 0000	*,*,*,*,*,*
013h	AD1CN4	INP[3:0]			INN[3:0]					0000 0000	0000 0000	*,*,*,*,*,*
014h	AD1CN5	-		ENTPS	TPSCH	INX[1:0]				0000 0000	0000 0000	*,*,*,*,*,*

表 5-7 AD1CN1 ~ AD1CN5 控制寄存器

AD1CN1 控制寄存器:

位	名称	描述												
Bit7	ENAD1	$\Sigma\Delta$ ADC 启用控制器 <0> 关闭(预设) <1> 启用												
Bit6	OSRM	Comb filter Level <0> 2 nd comb filter(预设) <1> 3 rd comb filter (切到此模式下, 无法启用 ENCH 的功能)												
Bit5	VREGN	VR \pm 倍率调整器 <0> x1(预设) <1> x1/2												
Bit4~1	OSR[3:0]	$\Sigma\Delta$ ADC 超取样率除频器												
		<table border="1"> <thead> <tr> <th>OSR[3:0]</th> <th>OSR</th> <th>Comb filter Order</th> <th>OSR[3:0]</th> <th>OSR</th> <th>Comb filter Order</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>32</td> <td>2nd/3rd</td> <td>1000</td> <td>8000</td> <td>2nd/3rd</td> </tr> </tbody> </table>	OSR[3:0]	OSR	Comb filter Order	OSR[3:0]	OSR	Comb filter Order	0000	32	2 nd /3 rd	1000	8000	2 nd /3 rd
OSR[3:0]	OSR	Comb filter Order	OSR[3:0]	OSR	Comb filter Order									
0000	32	2 nd /3 rd	1000	8000	2 nd /3 rd									

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



		0001	64	2 nd /3 rd	1001	16000	2 nd /3 rd
		0010	125	2 nd /3 rd	1010	32000	2 nd /3 rd
		0011	250	2 nd /3 rd	1011	64000	2 nd /3 rd
		0100	500	2 nd /3 rd	1100	64000	2 nd /3 rd
		0101	1000	2 nd /3 rd	1101	64000	2 nd /3 rd
		0110	2000	2 nd /3 rd	1110	64000	2 nd /3 rd
		0111	4000	2 nd /3 rd	1111	64000	2 nd /3 rd
Bit0	CMFR	$\Sigma\Delta$ ADC 与梳状滤波器复位控制器 <0> 不复位 <1> 复位; 写入动作即发生复位。Write 1 Only, 硬件自动清除为 0.					

AD1CN2 控制缓存器:

位	名称	描述																				
Bit6	ENACM	ADC Common Mode Buffer 启动控制器 <0> 关闭(预设) <1> 启用, 根据 VCMS 决定电压。																				
Bit5	ENV12	V12_1 电压来源控制器 <0> V12_1 来源选择为 REFO(预设) <1> V12_1 来源选择选择 V12																				
Bit4	VCMS	ADC Common Voltage. <0> VDDA/2(预设) <1> 1.2V																				
Bit3	LDOPL	内部 250k Ω 下拉电阻开关 <0>关闭 (预设) <1>启用 以下几点务必使 LDOPL 为 1, 否则 VDDA 稳压结果会不如预期 ※ 使用内部 LDO 输出时。(ENLDO=1b) ※ ADC 参考电压选用 VDDA/2-VSS 时。(VCMS=0b)																				
Bit2~0	ADGN[2:0]	ADC 倍率调整器 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADGN[2:0]</th> <th>Gain</th> <th>ADGN[2:0]</th> <th>Gain</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>x1/4</td> <td>100</td> <td>x4</td> </tr> <tr> <td>001</td> <td>x1/2</td> <td>101</td> <td>x8</td> </tr> <tr> <td>010</td> <td>x1</td> <td>110</td> <td>x16</td> </tr> <tr> <td>011</td> <td>x2</td> <td>111</td> <td>x16</td> </tr> </tbody> </table>	ADGN[2:0]	Gain	ADGN[2:0]	Gain	000	x1/4	100	x4	001	x1/2	101	x8	010	x1	110	x16	011	x2	111	x16
ADGN[2:0]	Gain	ADGN[2:0]	Gain																			
000	x1/4	100	x4																			
001	x1/2	101	x8																			
010	x1	110	x16																			
011	x2	111	x16																			

AD1CN3 控制缓存器:

位	名称	描述
Bit7~6	VRH[1:0]	VR±“+”电压信号选择器 <00> VDDA(预设) <01> AI6 <10> AI9 <11> V12_1
Bit5~4	VRL[1 :0]	VR±“-”电压信号选择器 <00> VSSA(预设) <01> AI5 <10> AI6

位	名称	描述																																				
		<11> V12_1																																				
Bit3~0	DCSET[3:0]	SI \pm 偏压调整器 <table border="1"> <thead> <tr> <th>DCSET<3:0></th> <th>Offset</th> <th>DCSET<3:0></th> <th>Offset</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>0</td> <td>1000</td> <td>0</td> </tr> <tr> <td>0001</td> <td>+1/8*(REFP-REFN)</td> <td>1001</td> <td>-1/8*(REFP-REFN)</td> </tr> <tr> <td>0010</td> <td>+2/8*(REFP-REFN)</td> <td>1010</td> <td>-2/8*(REFP-REFN)</td> </tr> <tr> <td>0011</td> <td>+3/8*(REFP-REFN)</td> <td>1011</td> <td>-3/8*(REFP-REFN)</td> </tr> <tr> <td>0100</td> <td>+4/8*(REFP-REFN)</td> <td>1100</td> <td>-4/8*(REFP-REFN)</td> </tr> <tr> <td>0101</td> <td>+5/8*(REFP-REFN)</td> <td>1101</td> <td>-5/8*(REFP-REFN)</td> </tr> <tr> <td>0110</td> <td>+6/8*(REFP-REFN)</td> <td>1110</td> <td>-6/8*(REFP-REFN)</td> </tr> <tr> <td>0111</td> <td>+7/8*(REFP-REFN)</td> <td>1111</td> <td>-7/8*(REFP-REFN)</td> </tr> </tbody> </table>	DCSET<3:0>	Offset	DCSET<3:0>	Offset	0000	0	1000	0	0001	+1/8*(REFP-REFN)	1001	-1/8*(REFP-REFN)	0010	+2/8*(REFP-REFN)	1010	-2/8*(REFP-REFN)	0011	+3/8*(REFP-REFN)	1011	-3/8*(REFP-REFN)	0100	+4/8*(REFP-REFN)	1100	-4/8*(REFP-REFN)	0101	+5/8*(REFP-REFN)	1101	-5/8*(REFP-REFN)	0110	+6/8*(REFP-REFN)	1110	-6/8*(REFP-REFN)	0111	+7/8*(REFP-REFN)	1111	-7/8*(REFP-REFN)
DCSET<3:0>	Offset	DCSET<3:0>	Offset																																			
0000	0	1000	0																																			
0001	+1/8*(REFP-REFN)	1001	-1/8*(REFP-REFN)																																			
0010	+2/8*(REFP-REFN)	1010	-2/8*(REFP-REFN)																																			
0011	+3/8*(REFP-REFN)	1011	-3/8*(REFP-REFN)																																			
0100	+4/8*(REFP-REFN)	1100	-4/8*(REFP-REFN)																																			
0101	+5/8*(REFP-REFN)	1101	-5/8*(REFP-REFN)																																			
0110	+6/8*(REFP-REFN)	1110	-6/8*(REFP-REFN)																																			
0111	+7/8*(REFP-REFN)	1111	-7/8*(REFP-REFN)																																			

AD1CN4 控制缓存器:

位	名称	描述																																				
Bit7~4	INP[3:0]	SI \pm “+”输入信号选择器 <table border="1"> <thead> <tr> <th>INP<3:0></th> <th>ADC 输入通道</th> <th>INP<3:0></th> <th>ADC 输入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>VSSA</td> <td>1000</td> <td>AI0</td> </tr> <tr> <td>0001</td> <td>OP2O</td> <td>1001</td> <td>AI2</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>AI4</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>AI6</td> </tr> <tr> <td>0100</td> <td>VDD/10</td> <td>1100</td> <td>AI8</td> </tr> <tr> <td>0101</td> <td>V12_1</td> <td>1101</td> <td>AI9</td> </tr> <tr> <td>0110</td> <td>VDDA</td> <td>1110</td> <td>OP3O</td> </tr> <tr> <td>0111</td> <td>OPO</td> <td>1111</td> <td>OPO2</td> </tr> </tbody> </table>	INP<3:0>	ADC 输入通道	INP<3:0>	ADC 输入通道	0000	VSSA	1000	AI0	0001	OP2O	1001	AI2	0010	TS0	1010	AI4	0011	TS1	1011	AI6	0100	VDD/10	1100	AI8	0101	V12_1	1101	AI9	0110	VDDA	1110	OP3O	0111	OPO	1111	OPO2
INP<3:0>	ADC 输入通道	INP<3:0>	ADC 输入通道																																			
0000	VSSA	1000	AI0																																			
0001	OP2O	1001	AI2																																			
0010	TS0	1010	AI4																																			
0011	TS1	1011	AI6																																			
0100	VDD/10	1100	AI8																																			
0101	V12_1	1101	AI9																																			
0110	VDDA	1110	OP3O																																			
0111	OPO	1111	OPO2																																			
Bit3~0	INN[3:0]	SI \pm “-”输入信号选择器 <table border="1"> <thead> <tr> <th>INN<3:0></th> <th>ADC 输入通道</th> <th>INN<3:0></th> <th>ADC 输入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>VSSA</td> <td>1000</td> <td>OPO</td> </tr> <tr> <td>0001</td> <td>OP1O</td> <td>1001</td> <td>AI1</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>AI3</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>AI5</td> </tr> <tr> <td>0100</td> <td>DACO</td> <td>1100</td> <td>AI6</td> </tr> <tr> <td>0101</td> <td>V12_1</td> <td>1101</td> <td>AI7</td> </tr> <tr> <td>0110</td> <td>-</td> <td>1110</td> <td>AI10</td> </tr> <tr> <td>0111</td> <td>-</td> <td>1111</td> <td>R_N</td> </tr> </tbody> </table>	INN<3:0>	ADC 输入通道	INN<3:0>	ADC 输入通道	0000	VSSA	1000	OPO	0001	OP1O	1001	AI1	0010	TS0	1010	AI3	0011	TS1	1011	AI5	0100	DACO	1100	AI6	0101	V12_1	1101	AI7	0110	-	1110	AI10	0111	-	1111	R_N
INN<3:0>	ADC 输入通道	INN<3:0>	ADC 输入通道																																			
0000	VSSA	1000	OPO																																			
0001	OP1O	1001	AI1																																			
0010	TS0	1010	AI3																																			
0011	TS1	1011	AI5																																			
0100	DACO	1100	AI6																																			
0101	V12_1	1101	AI7																																			
0110	-	1110	AI10																																			
0111	-	1111	R_N																																			

AD1CN5 控制缓存器:

位	名称	描述
Bit5	ENTPS	内部 TPS 启用控制 <0> 关闭(预设) <1> 启用, 需设置相对的 ADC 网络
Bit4	TPSCH	TPS 输出反向控制 <0> 正常(预设) <1> 反向

位	名称	描述
Bit3~2	INX	<p>SI±输入信号转置器</p> <p><00> INH→SI+,INL→SI-(预设)</p> <p><01> INH→SI+,INH→SI- & INL 浮接</p> <p><10> INL→SI+,INL→SI- & INH 浮接</p> <p><11> INL→SI+,INH→SI-</p> <p>INX[1:0] 设定状态图解说明如下:</p>

5.2.6. DACCN1 ~ DACCN4 Register

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W	
015h	DACCN1	ENAI10	DAPS[1:0]		DANS[1:0]		-	-	-	0000 0000	0000 0000	*****	
016h	DACCN2	ENOP3	ENOP2	ENOP1	DADCS	DALH	-	-	ENDA	0000 0000	0000 0000	*****	
017h	DACCN3	-	-	-	-	DABIT[11:8]			-	0000 0000	0000 0000	*****	
018h	DACCN4	DABIT[7:0]							-	-	0000 0000	0000 0000	*****

表 5-8 DACCN1 ~ DACCN4 控制缓存器

DACCN1 控制缓存器:

位	名称	描述
Bit7	ENAI10	AI10 PAD 开关选择 <0> OFF(预设), AI10 开关关闭, AI10 为 HiZ 状态, 无输入功能 <1> AI10 ON
Bit6~5	DAPS[1:0]	12-bit resistance ladder I 正向输入源选择 <00> VDDA(预设) <01> AI0 <10> AI2 <11> AI6
Bit4~3	DANS[1:0]	12-bit resistance ladder I 负向输入源选择 <00> VSSA(预设) <01> AI0 <10> AI6 <11> AI9

DACCN2 控制缓存器:

位	名称	描述
Bit7	ENOP3	Rail to Rail OPAMP3 启用控制器 <0> 关闭(预设) <1> 开启
Bit6	ENOP2	Rail to Rail OPAMP2 启用控制器 <0> 关闭(预设)

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位	名称	描述
		<1> 开启
Bit5	ENOP1	Rail to Rail OPAMP1 启用控制器 <0> 关闭(预设) <1> 开启
Bit4	DADCS	12-bit Resistance Ladder I 补偿控制器 <0> 不补偿(预设) <1> 补偿
Bit3	DALH	12-bit Resistance Ladder I 控制输出至 DACO <0> 关闭(预设) <1> 开启
Bit0	ENDA	12-bit resistance ladder I 功能开启控制 <0> 关闭(预设) <1> 开启

DACCN3 控制缓存器:

位	名称	描述
Bit3~0	DABIT[11:8]	12-bit resistance ladder I Bit11~ Bit8 输出电压的比例值设定

DACCN4 控制缓存器:

位	名称	描述
Bit7~0	DABIT[7:0]	12-bit resistance ladder I Bit7~ Bit0 输出电压的比例值设定

5.2.7. DAC2CN1 ~ DAC2CN3 Register

“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
019h	DAC2CN1	DAPS2[1:0]		DANS2[1:0]		DALH2	-	-	ENDA2	0000 0000	0000 0000	*****
01Ah	DAC2CN2	-	-	-	DADCS2	DABIT2[11:8]				0000 0000	0000 0000	*****
01Bh	DAC2CN3	DABIT2[7:0]								0000 0000	0000 0000	*****

表 5-9 DAC2CN1 ~ DAC2CN3 控制缓存器

DAC2CN1 控制缓存器:

位	名称	描述
Bit7~6	DAPS2[1:0]	12-bit Resistance Ladder II 正向输入源选择 <00> VDDA(预设) <01> AI0 <10> AI10 <11> AI6
Bit5~4	DANS2[1:0]	12-bit resistance ladder II 负向输入源选择 <00> VSSA(预设) <01> AI0 <10> AI6 <11> AI9
Bit3	DALH2	12-bit resistance ladder II 控制输出至 DACO2 <0> 关闭(预设) <1> 开启

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位	名称	描述
Bit0	ENDA2	12-bit resistance ladder II 功能开启控制 <0> 关闭(预设) <1> 开启

DAC2CN2 控制缓存器:

位	名称	描述
Bit4	DADCS2	12-bit resistance ladder II 补偿控制器 <0> 不补偿(预设) <1> 补偿
Bit3~0	DABIT2[11:8]	12-bit resistance ladder II Bit11~ Bit8 输出电压的比例值设定

DAC2CN3 控制缓存器:

位	名称	描述
Bit7~0	DABIT2[7:0]	12-bit resistance ladder II Bit7~ Bit0 输出电压的比例值设定

5.2.8. OP1NET1 ~ OP1NET3 Register

“-” no use, “*” read/write, “w” write, “r” read, “r0” only read 0, “r1” only read 1, “w0” only write 0, “w1” only write 1
 “. ” unimplemented bit, “x” unknown, “u” unchanged, “d” depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
01Ch	OP1NET1	-	-	OP1OS[5:3]			-	-	-	0000 0000	0000 0000	*****
01Dh	OP1NET2	OP1PS[7:1]						-	-	0000 0000	0000 0000	*****
01Eh	OP1NET3	OP1NS[7:0]						-	-	0000 0000	0000 0000	*****

表 5-10 OP1NET1 ~ OP1NET3 控制缓存器

OP1NET1[7:0] Rail to Rail OPAMP1 输出端开关控制缓存器:

位	名称	描述
Bit5	OP1OS[5]	<0> Off(预设) <1> AI8
Bit4	OP1OS[4]	<0> Off(预设) <1> AI6
Bit3	OP1OS[3]	<0> Off(预设) <1> AI4

OP1NET2[7:0] Rail to Rail OPAMP1 正输入端开关控制缓存器:

位	名称	描述
Bit7	OP1PS[7]	<0> Off(预设) <1> AI7
Bit6	OP1PS[6]	<0> Off(预设) <1> AI6
Bit5	OP1PS[5]	<0> Off(预设) <1> AI5
Bit4	OP1PS[4]	<0> Off(预设) <1> AI3
Bit3	OP1PS[3]	<0> Off(预设) <1> AI1
Bit2	OP1PS[2]	<0> Off(预设)

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位	名称	描述
		<1> V12
Bit1	OP1PS[1]	<0> Off(预设) <1> DACO

OP1NET3[7:0] Rail to Rail OPAMP1 负输入端开关控制寄存器:

位	名称	描述
Bit7	OP1NS[7]	<0> Off(预设) <1> AI9
Bit6	OP1NS[6]	<0> Off(预设) <1> AI8
Bit5	OP1NS[5]	<0> Off(预设) <1> AI7
Bit4	OP1NS[4]	<0> Off(预设) <1> AI5
Bit3	OP1NS[3]	<0> Off(预设) <1> AI3
Bit2	OP1NS[2]	<0> Off(预设) <1> AI1
Bit1	OP1NS[1]	<0> Off(预设) <1> DACO
Bit0	OP1NS[0]	<0> Off(预设) <1> OP1O

5.2.9. OP2NET1 ~ OP2NET3 Register

“-”no use, “r”read/write, “w”write, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
01Fh	OP2NET1	-	-	-	-	-	-	-	OP2NS[9:8]	0000 0000	0000 0000	***** r w r w
020h	OP2NET2	OP2NS[7:0]								0000 0000	0000 0000	***** r w r w
021h	OP2NET3	OP2PS[7:0]								0000 0000	0000 0000	***** r w r w

表 5-11 OP2NET1 ~ OP2NET3 控制寄存器

OP2NET1[7:0] Rail to Rail OPAMP2 控制寄存器:

位	名称	描述
Bit1	OP2NS[9]	<0> Off(预设) <1> OPO
Bit0	OP2NS[8]	<0> Off(预设) <1> AI9

OP2NET2[7:0] Rail to Rail OPAMP2 负输入端开关控制寄存器:

位	名称	描述
Bit7	OP2NS[7]	<0> Off(预设) <1> AI7
Bit6	OP2NS[6]	<0> Off(预设) <1> AI6
Bit5	OP2NS[5]	<0> Off(预设) <1> AI5
Bit4	OP2NS[4]	<0> Off(预设)

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位	名称	描述
		<1> AI3
Bit3	OP2NS[3]	<0> Off(预设) <1> AI1
Bit2	OP2NS[2]	<0> Off(预设) <1> DACO2
Bit1	OP2NS[1]	<0> Off(预设) <1> OP2O
Bit0	OP2NS[0]	<0> Off(预设) <1> OP1O

OP2NET3[7:0] Rail to Rail OPAMP2 正输入端开关控制缓存器:

位	名称	描述
Bit7	OP2PS[7]	<0> Off(预设) <1> AI7
Bit6	OP2PS[6]	<0> Off(预设) <1> AI6
Bit5	OP2PS[5]	<0> Off(预设) <1> AI5
Bit4	OP2PS[4]	<0> Off(预设) <1> AI3
Bit3	OP2PS[3]	<0> Off(预设) <1> AI1
Bit2	OP2PS[2]	<0> Off(预设) <1> V12
Bit1	OP2PS[1]	<0> Off(预设) <1> OP1O
Bit0	OP2PS[0]	<0> Off(预设) <1> DACO2

5.2.10. OP3NET1 ~ OP3NET3 Register

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
022h	OP3NET1	S4	-	S2	-	-	-	-	-	0000 0000	0000 0000	*****
023h	OP3NET2	OP3NS[7:0]								0000 0000	0000 0000	*****
024h	OP3NET3	OP3PS[7:0]								0000 0000	0000 0000	*****

表 5-12 OP3NET1 ~ OP3NET3 控制缓存器

OP3NET1[7:0] Rail to Rail OPAMP3 控制缓存器:

位	名称	描述
Bit7	S4	OP3O 与 OPO2 PAD 之间的连接开关控制 <0> 开路(预设) <1> OPAMP3 输出端 OP3O 短路到 OPO2 PAD
Bit5	S2	OP2O 与 OPO PAD 之间的连接开关控制 <0> 开路(预设) <1> OPAMP2 输出端 OP2O 短路到 OPO PAD

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



OP3NET2[7:0] Rail to Rail OPAMP3 负输入端开关控制缓存器:

位	名称	描述
Bit7	OP3NS[7]	<0> Off(预设) <1> OPO2
Bit6	OP3NS[6]	<0> Off(预设) <1> AI10
Bit5	OP3NS[5]	<0> Off(预设) <1> AI9
Bit4	OP3NS[4]	<0> Off(预设) <1> AI7
Bit3	OP3NS[3]	<0> Off(预设) <1> AI6
Bit2	OP3NS[2]	<0> Off(预设) <1> AI5
Bit1	OP3NS[1]	<0> Off(预设) <1> DACO2
Bit0	OP3NS[0]	<0> Off(预设) <1> OP3O

OP3NET3[7:0] Rail to Rail OPAMP3 正输入端开关控制缓存器:

位	名称	描述
Bit7	OP3PS[7]	<0> Off(预设) <1> DACO
Bit6	OP3PS[6]	<0> Off(预设) <1> AI10
Bit5	OP3PS[5]	<0> Off(预设) <1> AI6
Bit4	OP3PS[4]	<0> Off(预设) <1> AI3
Bit3	OP3PS[3]	<0> Off(预设) <1> AI1
Bit2	OP3PS[2]	<0> Off(预设) <1> V12
Bit1	OP3PS[1]	<0> Off(预设) <1> OP1O
Bit0	OP3PS[0]	<0> Off(预设) <1> DACO2

5.2.11. HAOTRIM Register

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
02Bh	HAOTRIM	-	HAOTR[6:0]						0100 0000	uuuu uuuu	*****	

表 5-14 HAOTRIM 控制缓存器

HAOTRIM[7:0] HAO 频率调整控制缓存器:

位	名称	描述
---	----	----

Bit6~0	HAOTR[6:0]	HAO 频率中心调整控制器 <0000000>可调整上限 . <1000000>中心点 0.0% . <1111111>可调整下限 Trim LSB ~ 0.5%
--------	------------	---

5.2.12. HAOCTL Register

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1												
“.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
03Dh	TST	RSV.								uuuu uuuu	uuuu uuuu	*,*,*,*,*,*
03Eh	HAOCTL	ENHAO	HAOM1	HAOM0	-	-	-	-	TRIMON	1000 0u00	1000 0x00	*,*,*,*,*,*

表 5-15 HAOCTL 控制寄存器

TST[7:0] Reserved Byte :

位	名称	描述
Bit7~0	TST[7:0]	Reserved. 请勿变更数值. 默认值 0x00.

HAOCTL[7:0] 频率控制器控制寄存器:

位	名称	描述
Bit7	ENHAO	HAO 启动控制位 <1> 启动内部高速 HAO 震荡器(预设) <0> 关闭内部高速 HAO 震荡器
Bit6~5	HAOM[1:0]	HAO 频率控制位 <00> 2MHz HAO(预设) <01> 4MHz HAO <10> 8MHz HAO <11> Reserved
Bit0	TRIMON	HAO 校正写入保护控制位 <0>解除保护状态, 可以更新 HAOTRIM :HAOTR[6:0]数值。 <1>保护状态。该状态下 HAOTRIM: HAOTR[6:0]数值无法修改。

6. 电气特性

6.1. ABSOLUTE MAXIMUM RATINGS

Absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Voltage applied at VDD to VSS -0.2 V to 6.0 V

Voltage applied to any pin -0.2 V to VDD + 0.3 V

Diode current at any device terminal ± 2 mA

Storage temperature -55°C to 150°C

Operation temperature -40°C to 85°C

Total power dissipation. 0.5w

Maximum output current sink by CLKOUT pin 20mA

6.2. Recommended operating conditions

$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V _{DD}	Supply Voltage	All digital peripherals	2.2		5.5	V
V _{DDA}	Supply Voltage	Analog peripherals	2.2		3.6	
V _{SS}	Supply Voltage		0		0	

6.3. Internal RC Oscillator

$T_A = 25^\circ\text{C}$, $V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
HAO	High Speed Oscillator frequency	2MHz Mode, HAOM[1:0]=00b	1.65	1.95	2.25	MHz
		4MHz Mode, HAOM[1:0]=01b	3.45	4.0	4.56	MHz
		8MHz Mode, HAOM[1:0]=10b	7.57	8.5	9.16	MHz
	HAO Trim Range[6:0]			64	LSB	
	2MHz HAO Trim LSB			0.345	%	
	4MHz HAO Trim LSB			0.3	%	
	8MHz HAO Trim LSB			0.21	%	

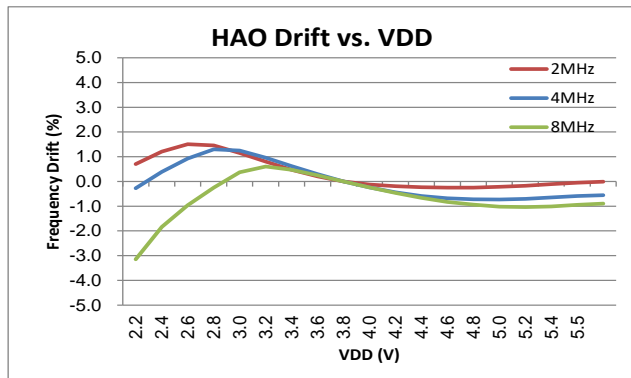


Figure 6.3-1 HAO vs. VDD

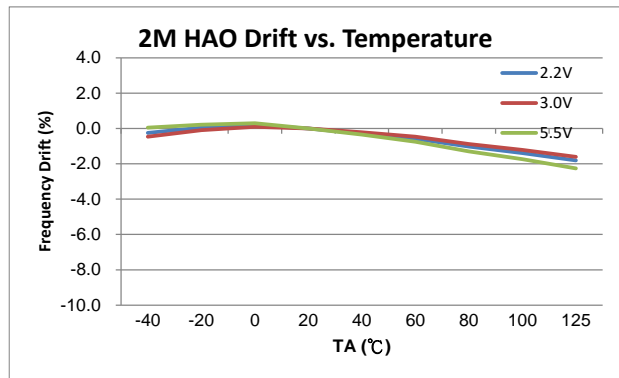


Figure 6.3-2 HAO(2.0MHz) vs. Temperature

HY3123

Dual 12bit DAC, 3 CH. R2ROP and BIA Module

With High Precision 24-Bit $\Sigma\Delta$ ADC

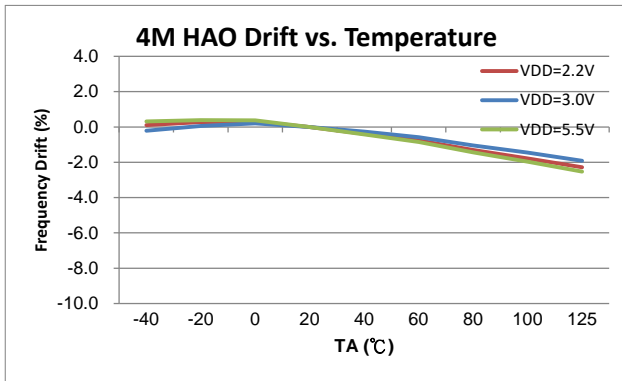


Figure 6.3-3 HAO(4.0MHz) vs. Temperature

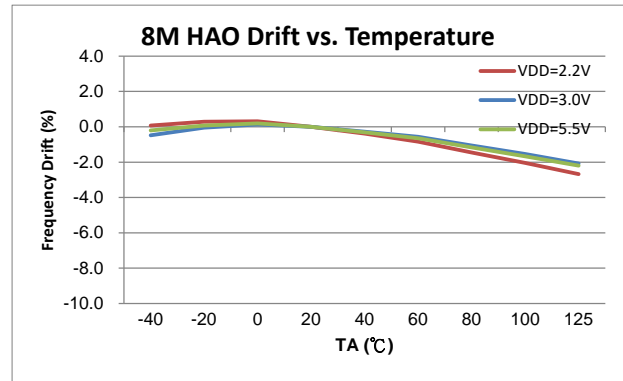


Figure 6.3-4 HAO(8.0MHz) vs. Temperature

6.4. Supply current into VDD excluding peripherals current

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{LP3}	Low Power 3	HAO = off, All IP Off, Sleep state		0.3	1.0	μA

HAO: Internal High Accuracy Oscillator frequency.

$T_A = 25^\circ\text{C}, V_{DD} = 5.5\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{LP3}	Low Power 3	HAO = off, All IP Off, Sleep state		0.5	2	μA

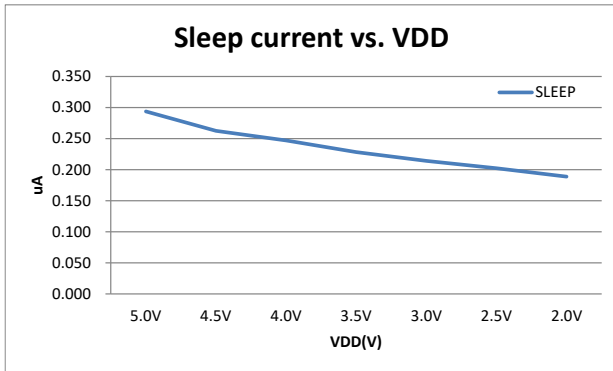


Figure 6.4-1 I_{LP3} vs. VDD

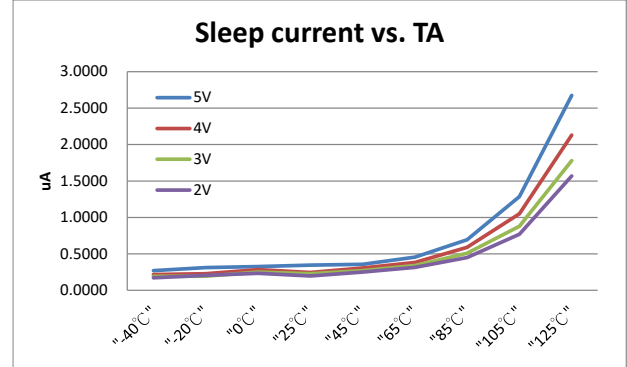


Figure 6.4-2 I_{LP3} vs. Temperature

6.5. GPIO PORT CLKOUT/IRQ/AI9

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Analog Input						
I_{LKG}	Leakage Current				0.1	μA
R_{PU}	Port pull high resistance		351	390	429	$\text{k}\Omega$
Output voltage and current and frequency						
V_{OH}	High-level output voltage	$V_{DD} < 4\text{V}, I_{OH} = 10\text{mA}$,	$V_{DD} - 0.3$			V
		$V_{DD} \geq 4\text{V}, I_{OH} = 15\text{mA}$,	$V_{DD} - 0.4$			
V_{OL}	Low-level output voltage	$V_{DD} < 4\text{V}, I_{OL} = -10\text{mA}$			$V_{SS} + 0.3$	
		$V_{DD} \geq 4\text{V}, I_{OL} = -15\text{mA}$			$V_{SS} + 0.4$	

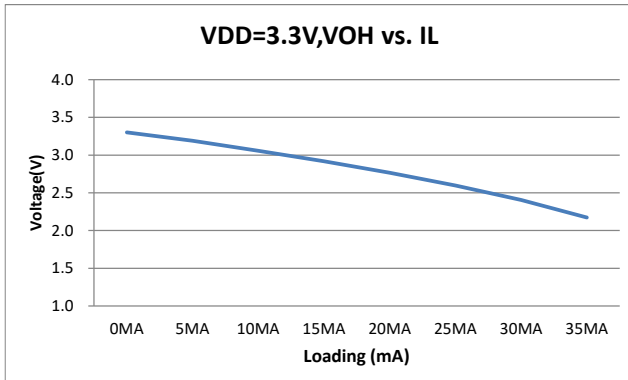


Figure 6.5-1 V_{OH} vs. I_{OH}

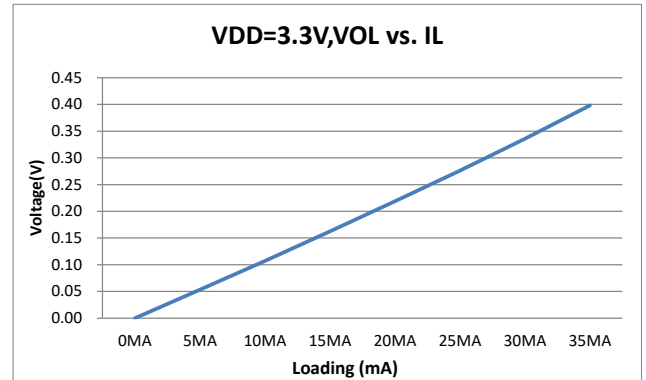


Figure 6.5-2 V_{OL} vs. I_{OL}

6.6. Brownout Reset (BOR)

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	
BOR	Pulse length needed to accepted reset internally, t_{d-LVR}		2			μS	
	V_{DD} Start Voltage to accepted reset internally (L→H), V_{LVR}	$T_A = 25^\circ\text{C}$	1.5	1.65	1.8	V	
	V_{DD} Start Voltage to accepted reset internally (L→H), V_{LVR}	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	1.45		1.85	V	
	Current consumption		$V_{DD}=3.3\text{V}$		0.3		μA
			$V_{DD}=5.5\text{V}$		0.5		μA

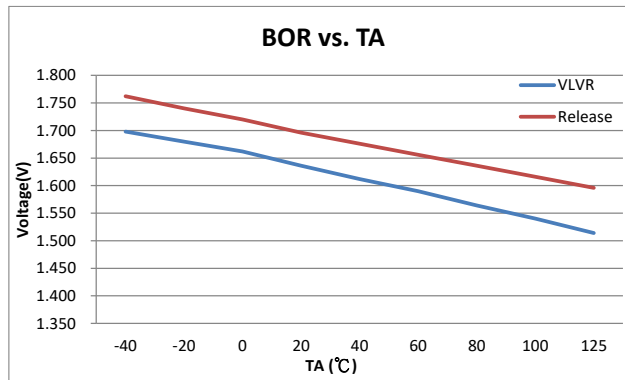


Figure6.6-1 BOR vs. Temperature

6.7. Power System

T_A = 25°C, VDD = 3.0V, unless otherwise noted

Sym.	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
VDDA	VDDA operation current, I _{VDDA}	I _L = 0mA	LDOC[2:0]=000b		20		uA
	Select VDDA output voltage	I _L = 0.1mA, VDD ≥ VDDA+0.25V	LDOC [2:0]=000b	2.28	2.4	2.52	V
			LDOC [2:0]=001b	2.47	2.6	2.73	V
			LDOC [2:0]=010b	2.755	2.9	3.045	V
			LDOC [2:0]=011b	3.135	3.3	3.465	V
			LDOC [2:0]=100b	3.42	3.6	3.78	V
			LDOC [2:0]=101b	2.19	2.3	2.42	V
			LDOC [2:0]=110b	2.14	2.25	2.36	V
	LDOC [2:0]=111b	2.09	2.2	2.31	V		
Dropout voltage	I _L = 10mA	LDOC [2:0]=000b		400		mV	
Temperature drift	LDOC [2:0]=000b I _L = 10uA	T _A =-40°C~85°C		50		ppm/°C	
V _{DD} Voltage drift	LDOC [2:0]=000b	V _{DD} =VDDA+0.25V~5.5V		±0.2		%/V	
REFO	REFO operation current, I _{REFO}	VDDA=2.4V, ENV12=1b			50		uA
	output voltage, V _{REFO}		I _L = 0mA,	1.14	1.2	1.26	V
			I _L = 0.2mA (include ESD resistance)	0.94		0.96	V _{REFO}
	Temperature drift		T _A =-40°C~85°C		50		ppm/°C
V _{DDA} Voltage drift				100		uV/V	
ACM	ACM operation current, I _{ACM}	VDDA=2.4V, ENADC[0]=1b, ENACM=1b			50		uA
	Internal Analog Common Mode Voltage, V _{ACM} =1.2V or V _{ACM} VDDA/2		VCMS=0b, I _L = 0uA		VDDA/2		V
			VCMS=1b, I _L = 0uA	1.14	1.2	1.26	V
	Temperature drift		T _A =-40°C~85°C, ENACM [0]=1b		50		ppm/°C

VDDA: Adjust Voltage Regulator,

ACM: Internal Analog Common Mode Voltage VDDA/2 (No voltage output) or 1.2V

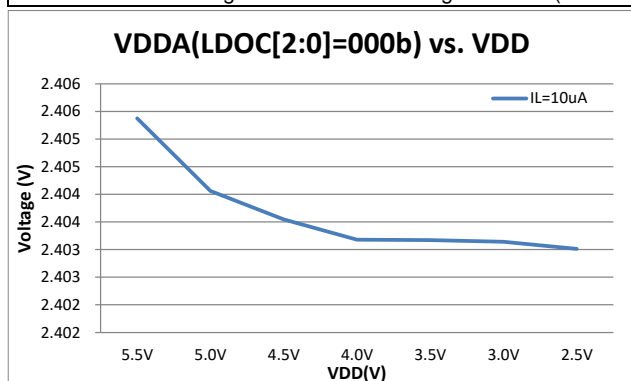


Figure 6.7-1 VDDA(000b) vs. VDD

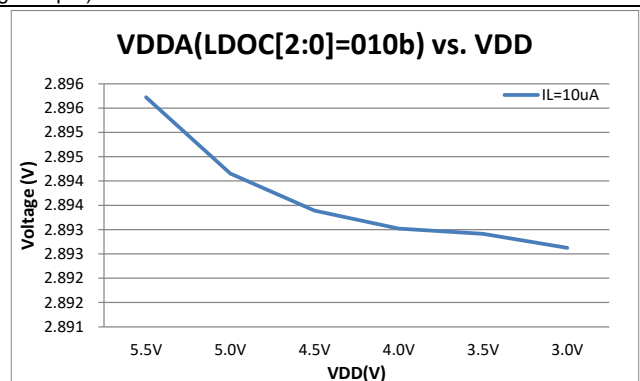


Figure 6.7-2 VDDA(010b) vs. VDD

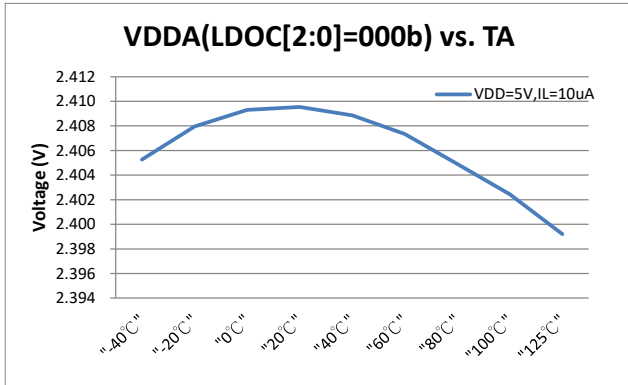


Figure 6.7-3 VDDA(000b) vs. Temperature

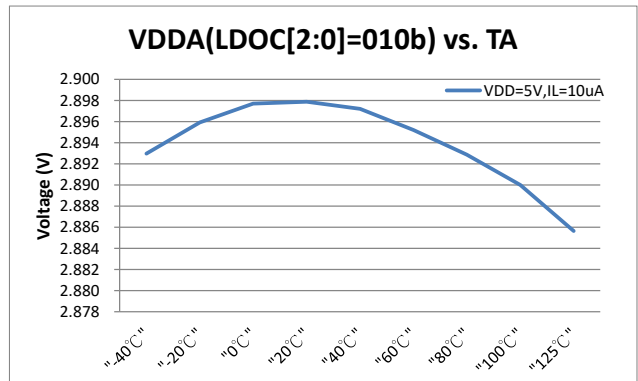


Figure 6.7-4 VDDA(010b) vs. Temperature

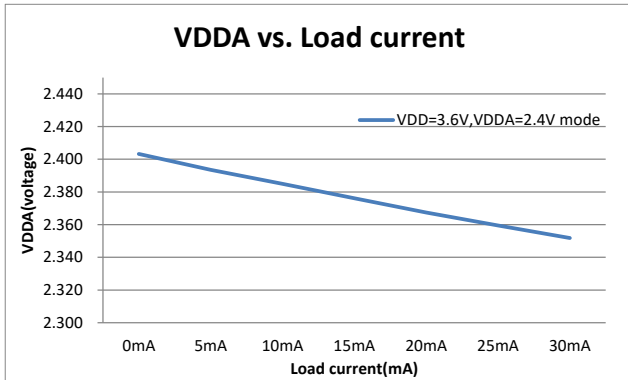


Figure 6.7-5 VDDA vs. Load current

6.8. $\Sigma\Delta$ ADC, Power Supply and recommended operating conditions

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}, V_{DDA}=2.4\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V_{SD18}	Supply Voltage at VDDA	ENVDDA[0]=0	2.2		3.6	V
f_{SD18}	Modulator sample frequency, ADC_CK			1000		KHz
	Over Sample Ratio, OSR		64		65536	
I_{SD18}	Operation supply current without PGA	ENADC[0]=1 GAIN=16, ADC_CK=1MHz		260		μA

6.8.1. $\Sigma\Delta$ ADC, performance

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}, V_{DDA}=2.4\text{V}, V_{VR}=1.0\text{V}, \text{GAIN}=1$ without PGA, $f_{SD18}=1\text{MHz}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
INL	Integral Nonlinearity(INL)	$V_{DDA}=2.4\text{V}, V_{VR}=1.0\text{V}, \Delta\text{SI}=\pm 200\text{mV}$		± 0.003	± 0.01	%FSR
		$V_{DDA}=2.4\text{V}, V_{VR}=1.0\text{V}, \Delta\text{SI}=\pm 450\text{mV}$				
	No Missing Codes ³	ADC_CK=1MHz, OSR=64000	23			Bits
GSD18	Temperature drift Gain x16	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$,		10		ppm/ $^\circ\text{C}$
Eos	Offset error of Full Scale Rang input voltage range with Chopper	$\Delta\text{AI}=0\text{V}$ $\Delta\text{VR}=1.2\text{V}$ DCSET[3:0]=<0000> * ΔAI is external short	Gain=2		1	%FSR
			GAIN=1		0.004	$\mu\text{V}/^\circ\text{C}$
	GAIN=2			0.003		
	GAIN=4			0.003		
	Offset error temperature drift with chopper		GAIN=16		0.002	
CMSD18	Common-mode rejection	$V_{CM}=0.7\text{V to }1.7\text{V}, V_{VR}=1.0\text{V}$	$V_{SI}=0\text{V}, \text{GAIN}=1$		90	dB
		$V_{CM}=0.7\text{V to }1.7\text{V}, V_{VR}=1.0\text{V}$	$V_{SI}=0\text{V}, \text{GAIN}=16$		75	
PSRR	DC power supply rejection	$V_{DDA}=3.0\text{V}, \Delta V_{DDA}=\pm 100\text{mV}, V_{VR}=1.0\text{V}, V_{SI}=1.2\text{V}, V_{SI}=1.2\text{V}$,	GAIN=1 PGA=off		75	dB

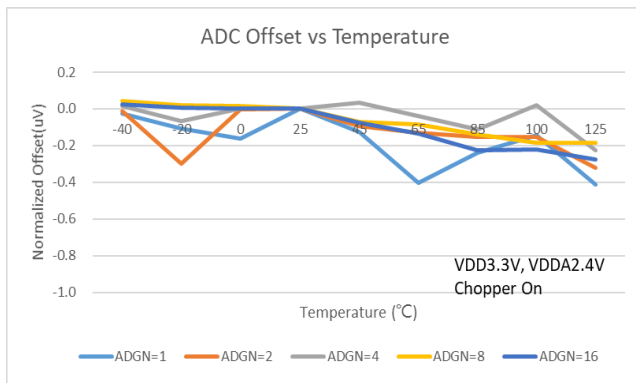


Figure 6.8-1 ADC Offset drift with Temperature

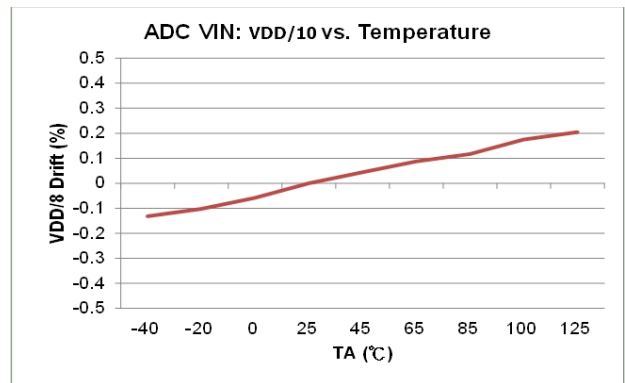


Figure 6.8-2 VDD/10 drift with Temperature

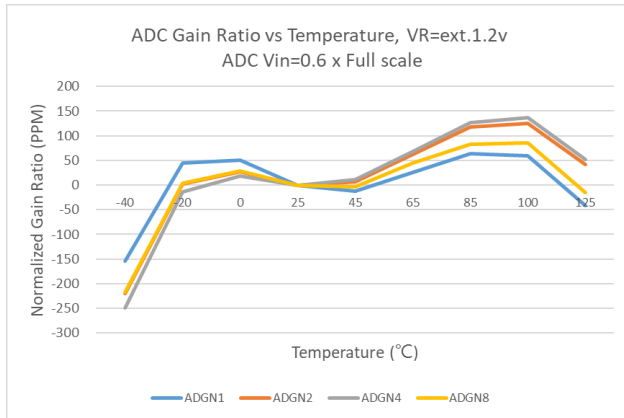


Figure 6.8-3 ADC Gain drift with Temperature

6.8.2. ΣΔADC Noise Performance

T_A = 25°C, V_{DD} = 3.0V, V_{DDA}=2.4V, unless otherwise noted

针对 ΣΔADC 提供了重要的输入噪声规格。下表列出典型的噪声规格表与 Gain, Output rate, 及单端最大输入电压等关系。测试条件设定在外部输入讯号短路, 参考电压为 1.2V, 取样 1024 笔数据。

ENOB(RMS) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter																
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000
	Output rate(Hz)				31250	15625	8000	4000	2000	1000	500	250	125	63	31	16
	Gain	=	PGAG N	x ADGN												
±2160	0.25	=	off	x 0.25	10.4	12.2	13.48	15.21	15.79	16.26	16.59	17.14	17.98	18.56	18.98	19.6
±2160	0.5	=	off	x 0.5	10.4	12.21	13.63	15.29	15.81	16.45	17.03	17.49	17.97	18.36	18.98	19.41
±1080	1	=	off	x 1	10.44	12.11	14.14	15.29	15.87	16.36	16.99	17.56	18.01	18.47	18.87	19.41
±540	2	=	off	x 2	10.39	12.18	13.57	15.21	15.9	16.46	16.98	17.47	17.93	18.41	18.86	19.41
±270	4	=	off	x 4	10.38	12.16	13.29	15.22	15.74	16.29	16.88	17.35	17.85	18.33	18.91	19.26
±135	8	=	off	x 8	10.42	12.09	13.49	15.1	15.63	16.19	16.81	17.28	17.86	18.28	18.72	19.09
±68	16	=	off	x 16	10.33	12	13.92	15.01	15.58	16.11	16.68	17.11	17.59	18.14	18.55	19

(1) Max. Vin(mV) is the max. input voltage single end to ground(VSS)

ENOB(RMS) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter, Chopper On																
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000
	Output rate(Hz)				15625	7813	4000	2000	1000	500	250	125	63	31	16	8
	Gain	=	PGAG N	x ADGN												
±2160	0.25	=	off	x 0.25	10.89	12.7	14.2	15.88	16.39	16.74	16.83	17.63	18.5	19.07	19.5	20.04
±2160	0.5	=	off	x 0.5	10.8	12.65	14.21	15.66	16.25	16.93	17.38	17.92	18.47	19.01	19.48	20
±1080	1	=	off	x 1	10.85	12.69	14.07	15.66	16.43	16.95	17.49	17.88	18.48	19.04	19.35	20.01
±540	2	=	off	x 2	10.87	12.73	14.2	15.68	16.45	16.85	17.41	18.04	18.41	18.94	19.36	19.91
±270	4	=	off	x 4	10.92	12.72	14.11	15.69	16.2	16.93	17.41	17.95	18.37	18.86	19.46	19.87
±135	8	=	off	x 8	10.85	12.68	14.04	15.52	16.01	16.66	17.39	17.83	18.31	18.8	19.29	19.73
±68	16	=	off	x 16	10.81	12.53	13.88	15.48	16.1	16.63	17.1	17.68	18.06	18.52	19.14	19.48

(1) Max. Vin(mV) is the max. input voltage single end to ground(VSS)

Table6.8-4 ΣΔADC ENOB Table

RMS(uV) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter																
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000
	Output rate(Hz)				31250	15625	8000	4000	2000	1000	500	250	125	63	31	16
	Gain	=	PGAG N	x ADGN												
±2160	0.25	=	off	x 0.25	7167.72	2052.62	846.32	255.25	170.77	122.81	97.90	66.85	37.35	25.06	18.76	12.19
±2160	0.5	=	off	x 0.5	3585.84	1019.28	380.01	120.90	84.36	53.83	36.00	26.22	18.85	14.33	9.37	6.94
±1080	1	=	off	x 1	1735.51	547.67	133.84	60.37	40.41	28.69	18.53	12.51	9.17	6.64	5.03	3.47
±540	2	=	off	x 2	900.82	259.54	99.46	31.89	19.82	13.37	9.36	6.67	4.85	3.47	2.53	1.73
±270	4	=	off	x 4	453.79	131.66	60.29	15.78	11.03	7.53	4.99	3.61	2.56	1.83	1.22	0.96
±135	8	=	off	x 8	219.94	69.37	26.29	8.58	5.94	4.03	2.64	1.90	1.27	0.95	0.70	0.54
±68	16	=	off	x 16	117.26	36.75	9.75	4.59	3.08	2.14	1.44	1.07	0.76	0.52	0.39	0.29

(1) Max. Vin(mV) is the max. input voltage single end to ground(VSS)

RMS(uV) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter, Chopper On																
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000
	Output rate(Hz)				15625	7813	4000	2000	1000	500	250	125	63	31	16	8
	Gain	=	PGAG N	x ADGN												
±2160	0.25	=	off	x 0.25	5078.12	1456.73	515.21	159.79	112.25	88.58	83.03	47.74	25.99	17.59	12.99	8.96
±2160	0.5	=	off	x 0.5	2710.97	751.58	255.16	93.61	61.88	38.69	28.29	19.52	13.28	9.18	6.59	4.59
±1080	1	=	off	x 1	1306.67	365.13	140.05	46.81	27.27	19.14	13.14	9.99	6.62	4.48	3.62	2.30
±540	2	=	off	x 2	647.24	178.25	64.25	22.97	13.50	10.24	6.96	4.49	3.46	2.41	1.79	1.23
±270	4	=	off	x 4	312.62	89.41	34.05	11.41	8.04	4.85	3.46	2.38	1.79	1.27	0.84	0.63
±135	8	=	off	x 8	163.64	45.95	17.88	6.44	4.57	2.91	1.76	1.30	0.93	0.66	0.47	0.35
±68	16	=	off	x 16	83.87	25.55	10.02	3.31	2.14	1.49	1.07	0.72	0.55	0.40	0.26	0.21

Table6.8-5 ΣΔADC RMS Noise Table

The RMS noise are referred to the input. The Effective Number of Bits (ENOB(RMS Bit)) is defined as:

$$ENOB(RMS) = \frac{\ln\left(\frac{FSR}{RMS\ Noise}\right)}{\ln(2)}$$

$$RMS\ Noise = \left(2 \times VREF \times \sqrt{\sum_{k=1}^{1024} (ADO[k] - Average)^2}\right) / 2^{23}$$

Where FSR (Full - Scale Range) = $2 \times VREF/Gain$.

$$\text{Average} = \frac{\sum_{k=1}^{1024} (ADO[k])}{1024}$$

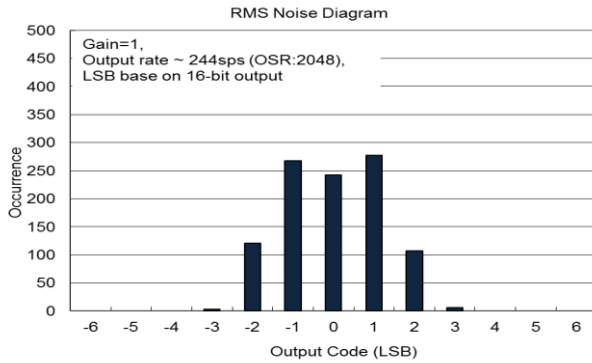


Figure 6.8-1 RMS Noise Diagram

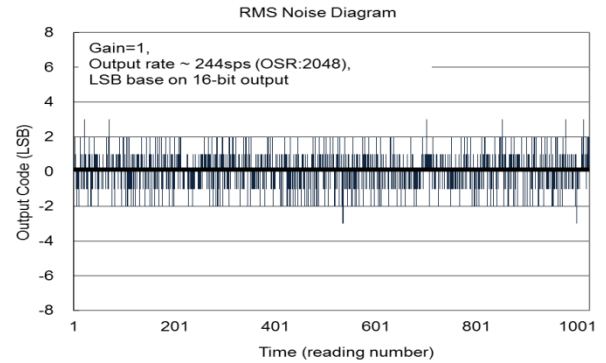


Figure 6.8-2 Output Code Diagram

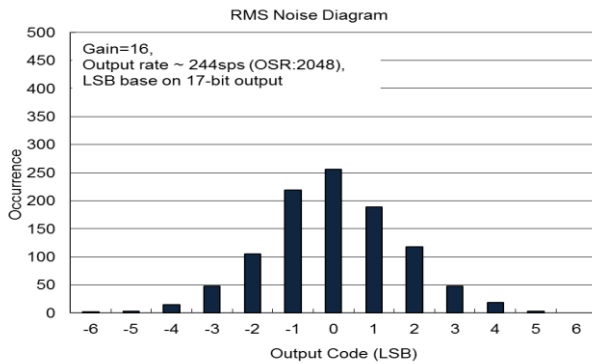


Figure 6.8-3 RMS Noise Diagram

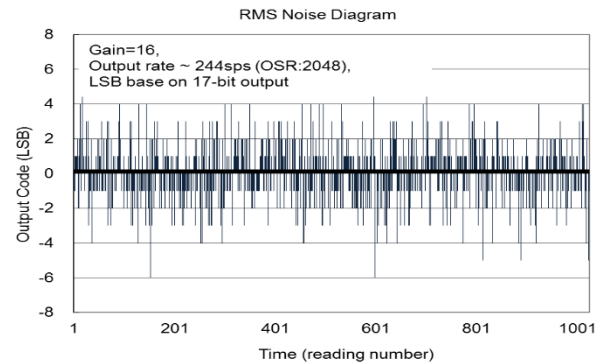


Figure 6.8-4 Output Code Diagram

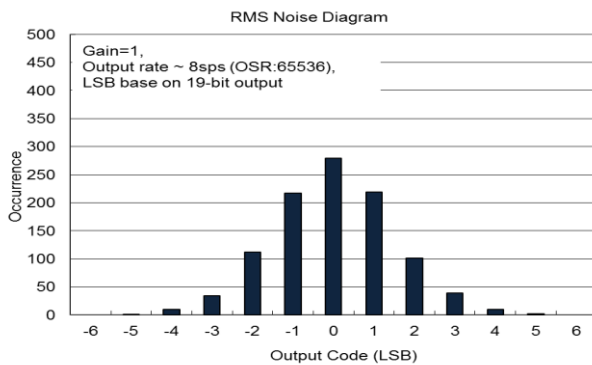


Figure 6.8-5 RMS Noise Diagram

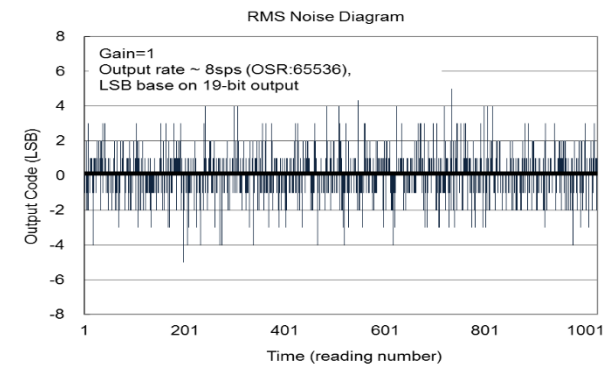


Figure 6.8-6 Output Code Diagram

HY3123 Dual 12bit DAC, 3 CH. R2ROP and BIA Module With High Precision 24-Bit $\Sigma\Delta$ ADC

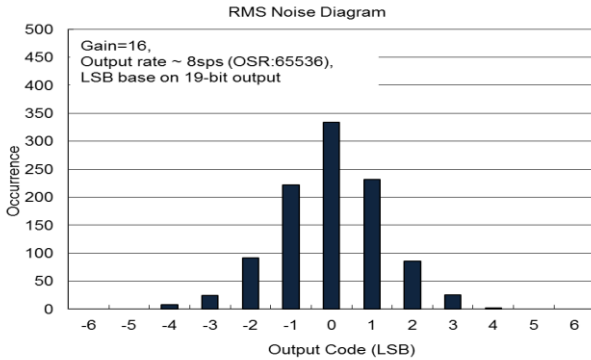


Figure 6.8-7 RMS Noise Diagram

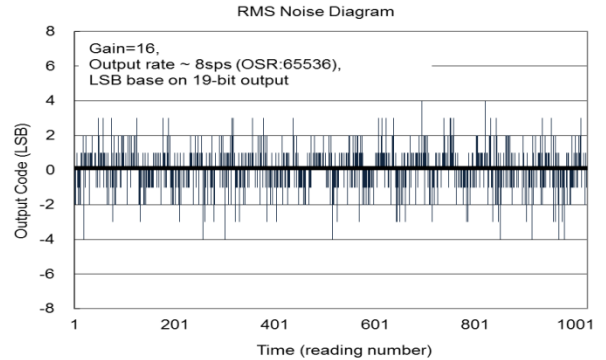


Figure 6.8-8 Output Code Diagram

6.8.3. $\Sigma\Delta$ ADC Temperature Sensor

$T_A = 25^\circ\text{C}$, $V_{DD} = 3.0\text{V}$, $V_{DDA} = 2.4\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
TC_S	Sensor temperature drift			173		$\mu\text{V}/^\circ\text{C}$
KT	Absolute Temperature Scale 0°K			-272		$^\circ\text{C}$
TC_{ERR}	One point calibrate error temperature	Calibration at 25°C of $-40^\circ\text{C} \sim 85^\circ\text{C}$		± 2		$^\circ\text{C}$

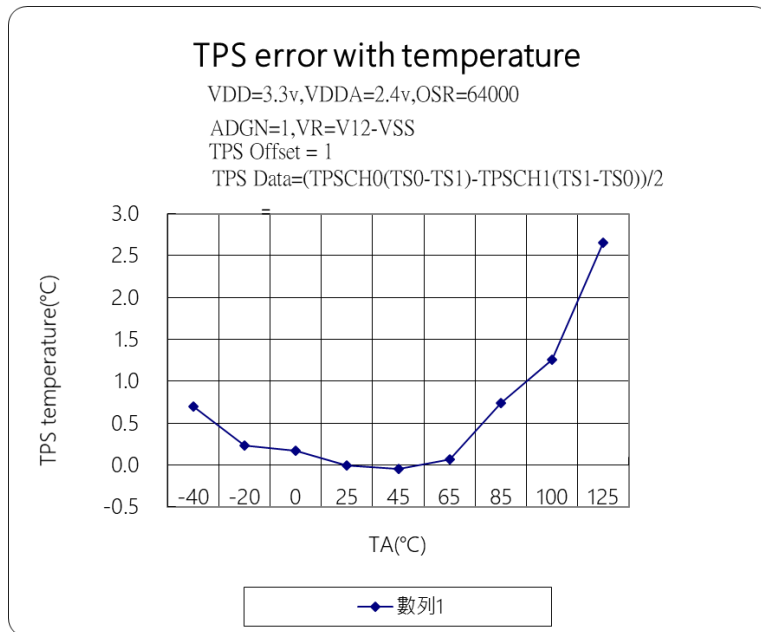


Figure 6.8-9 TPS Temperature Error

6.9. Rail to Rail OPAMP1, OPAMP2, OPAMP3

$T_A = 25^\circ\text{C}, V_{DD3V} = 3.0\text{V}, V_{DDA}=2.4\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
VDDA	Power supply		2.2		3.6	V
V _{OUT}	Output range		0		VDDA	V
V _{IN}	Input common range		0		VDDA	V
I _{OPA}	OPAMP current			360		uA
I _{OPA_LOAD}	Output current loading (push or pull)	VDDA = 3.0V, 0.3V < Output voltage < VDDA-0.3V			1	mA
		VDDA = 2.4V, 0.3V < Output voltage < VDDA-0.3V			0.5	mA
C _{LOAD}	Max output capacitor load				1	nF
SR	Slew rate	Loading R=10K, C=100pF, 0.3V → VDDA-0.3V		0.6		V/uS
UGB	Unit gain bandwidth	Loading C=100pF		1000		KHz
V _{OS}	Offset error	V _{in} = 1.2V	-5		+5	mV
DFD	Digital filter delay	VDDA = 3.0V		2		uS
C _{SA}	Sample capacitor			10		pF

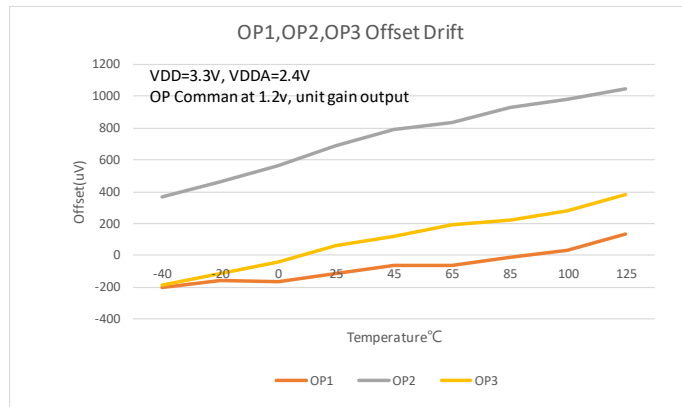
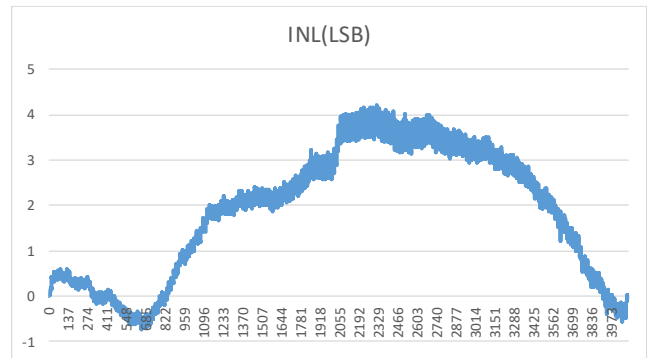
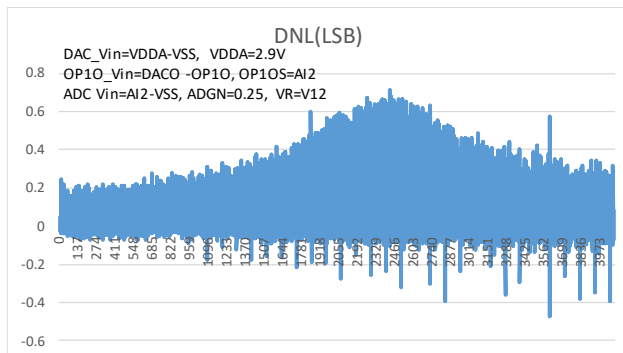


Figure6.9-1 R2ROPAMP Offset Temperature

6.10. 12-Bit Resistor Ladder

Typical values are at $T_A=25^\circ\text{C}$ and $V_{DD} = 3.0\text{V}$. Unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
	Resolution	Monotonic		12		Bit
	Power Supply		2.2		VDDA	V
	Operation current			50		μA
V_{OUT}	Output range	Output is between V_{REFP} and V_{REFN}	0		VDDA	V
V_{REFP}	Positive reference voltage range	$V_{REFP} > V_{REFN}$	0		VDDA	V
V_{REFN}	Negative reference voltage range		0		VDDA	V
R_{LADDER}	One LSB resistance ladder			200		Ω
INL	Integral linearity error	$V_{REFP} = 2.4\text{V}, V_{REFN} = 0\text{V}$		± 3	± 6	LSB
DNL	Differential linearity error	$V_{REFP} = 2.4\text{V}, V_{REFN} = 0\text{V}$		± 1	± 2	LSB
E_{OS}	Offset error	$V_{REFP} = 2.4\text{V}, V_{REFN} = 0\text{V}$			1	LSB



6.11. BIA Module

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
IAM1	Active mode 1	HAO =8.5MHz, CPU_CK =8.5MHz VDDA=2.4V, ENADC, ENACM ADC_CK=8.5M/8 SinWave=50K Vpp=200mV		1840		μA

HAO: Internal High Accuracy Oscillator frequency.

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Err1	S.D/Average	(10K//1nF)//10K SinWave=5K Vpp=200mV			0.1	CV
Err2		(10K//1nF)//10K SinWave=10K Vpp=200mV			0.1	CV
Err3		(100K//1nF)//100K SinWave=5K Vpp=200mV			0.1	CV
Err4		(100K//1nF)//100K SinWave=10K Vpp=200mV			0.1	CV

S.D: standard deviation

7. I²C 通讯协议

- 支援 ADC IRQ 向量(CLKOUT PIN)
- f_{SCL}=400KHz
- 从机地址定义为 0xA0h

芯片地址固定在 0xA0 即是 device address[6:0] = 1010000b。

通讯方式采用弹性化的 I²C 的架构，使用时可规划成 ADC 转换完毕后具有 IRQ 通知或无 IRQ 通知以达到不同的应用方式。当通讯协议设置在无 IRQ 模式，对于 ADC 转换完成的读取时间必须由使用者自行计算，用户可以读取缓存器 ADCL[ADST]的状态来判断 ADC 输出数据是否已经读取过；

当通讯协议设置在具 IRQ 模式，则 ADC 转换完成会有 IRQ 的信号输出，IRQ 会透过 CLKOUT 或是 SDA 脚位来输出变化，设置在此模式时脚位输出会处于高电位，待 ADC 转换完成后会在脚位输出产生低电位或是低脉冲信号以达到通知用户的目的。在 IRQ 设定为 SDA 复用输出时，当 ADC 转换完成需要触发 IRQ 中断时，此时若正在 I²C 通讯中，则 SDA 的输出状态会在 I²C Stop 之后才发生。

I²C 支持 General Call Reset 功能，当芯片接收到 Reset 命令时，将会重置控制缓存器，除 HAOTRIM 缓存器与 SRAM 内数据不改变之外，其余地址数据将回复到 BOR 之后的状态。相关状态可参考缓存器章节中的 I²C RST 字段内容。

保留 07Fh 命令用来切换不同 Bank 区块使用，当存取波形数据缓存器时需要切换正确 Bank 设定。设定数据为 0 时，存取 Bank 0 区块资料；设定数据为 1 时，存取 Bank 1 区块资料。当要存取第 1 点到第 64 点波形数据，使用 Bank 0 空间 080h~0FFh；当要存取第 65 点到第 128 点波形数据，使用 Bank 1 空间 180h~1FFh；

7.1. I²C 通讯时序图

HY3123 的 I²C 从机端通讯格式说明如下图所示，其细分为：

- 有效数据定义 (Data Validity)
- 开始与停止定义 (Start and Stop Definition)
- MACK 响应信号定义 (MACK Definition)
- IRQ 中断信号定义 (IRQ Definition)
- 波形描述定义 (Wave Definition)
- 缓存器的写入 (Write Register)
- 缓存器的读取 (Read Register)
- 重新读取缓存器 (Reread Register)
- 缓存器的写入与确认 (Write Register then Read Register)
- 复位芯片 (General Call Reset)

有效資料定義 (Data Validity Definition)

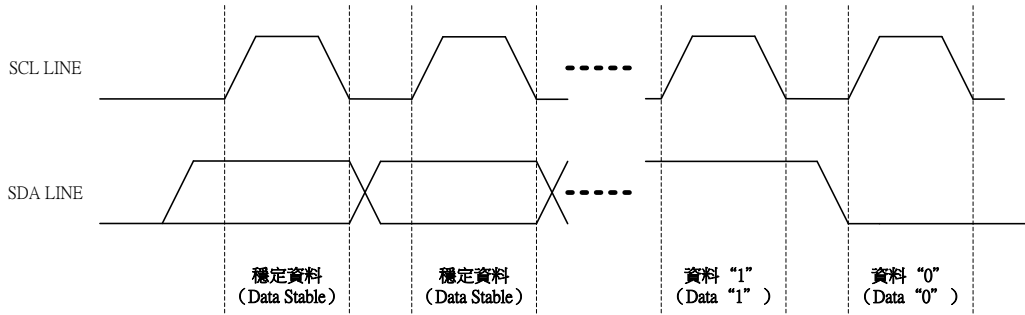


图 7-1 有效数据波形

開始與停止定義 (Start and Stop Definition)

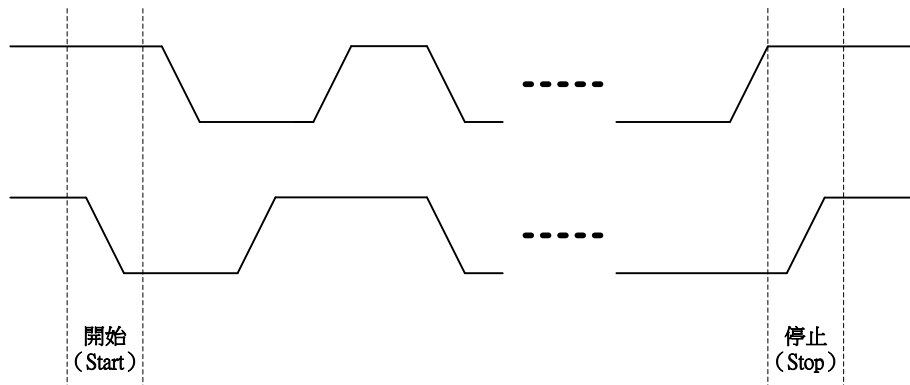
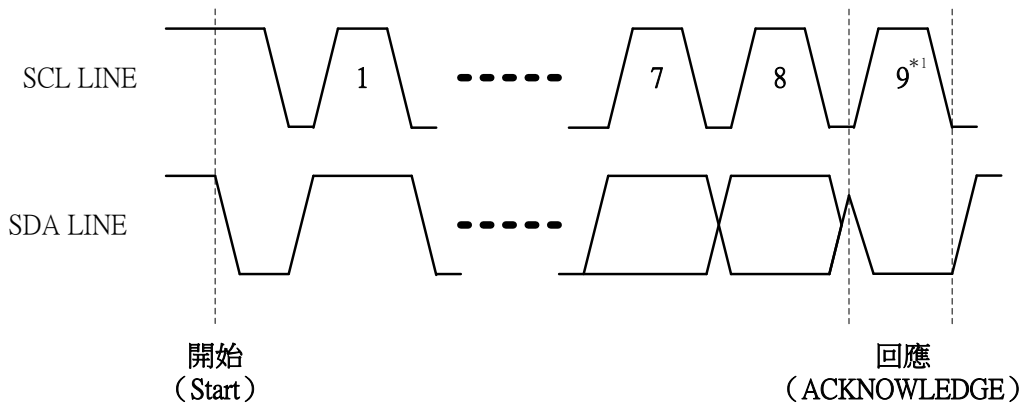


图 7-2 开始与停止波形

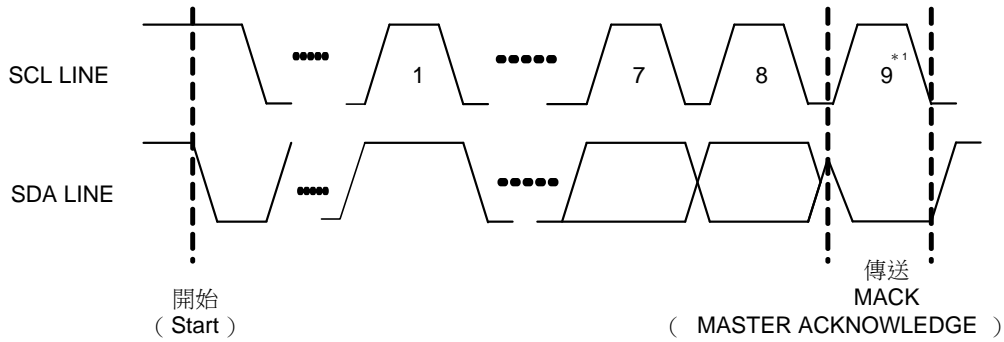
ACK 回應信號定義 (ACK Definition)



*1 主控端 (Master) 向從機端 (Slave) 發送 SCL 信號的至第8個時鐘時，主控端的 SDA 引腳必須由輸出狀態轉為輸入狀態，以接收從機端產生的回應 (ACK) 信號。

图 7-3 响应信号波形(ACK)

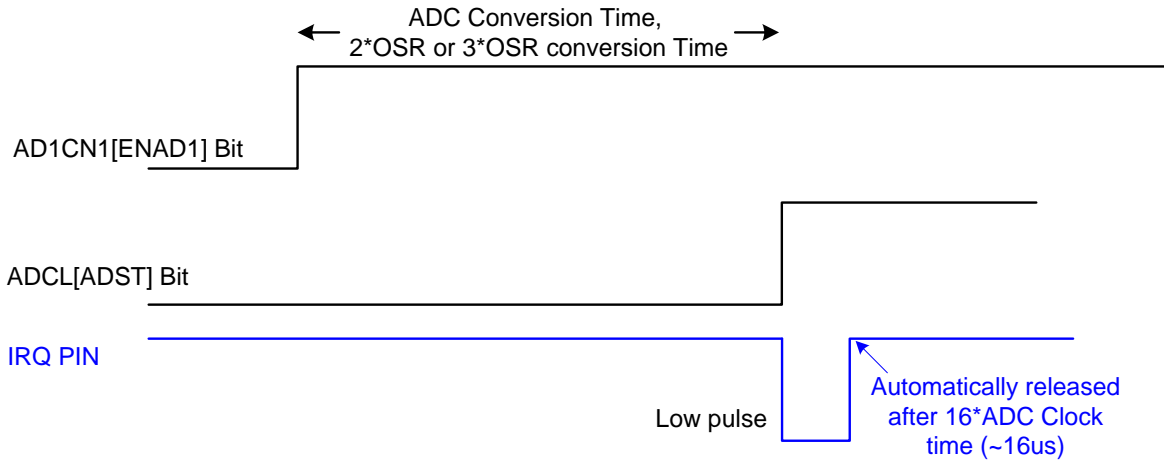
MACK 傳送信號定義 (MACK Definition)



* 1 MACK發生在連續讀取Multi bytes資料輸出時，當第二筆資料要輸出資料前，須在第9個CLOCK上升緣之前，由主控端(Master)控制SDA為輸出引腳，設定輸出為Low(ACK)，通知從機端(Slave)得以繼續輸出第二筆之後的資料。

图 7-4 连续读取传送信号波形 (MACK)

IRQ Low Pulse Mode:



IRQ Low Level Mode:

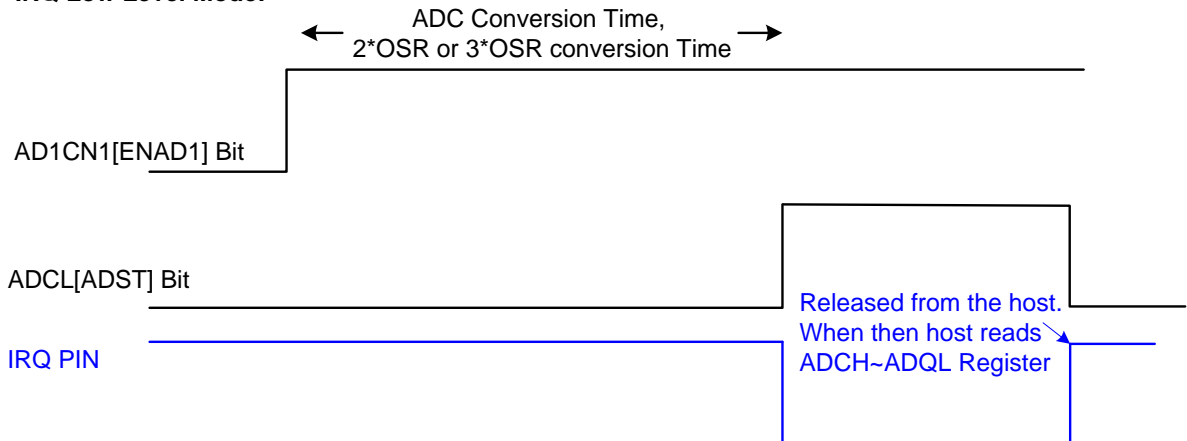


图 7-5 中断信号波形(IRQ)

波形描述定義 (Wave Definition)

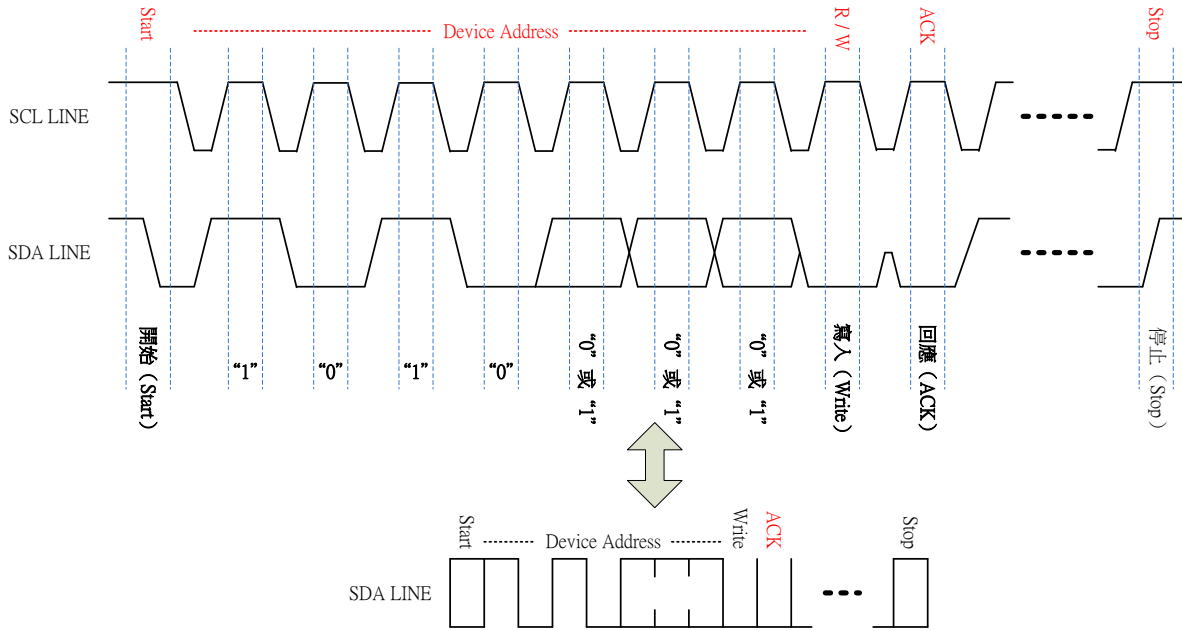
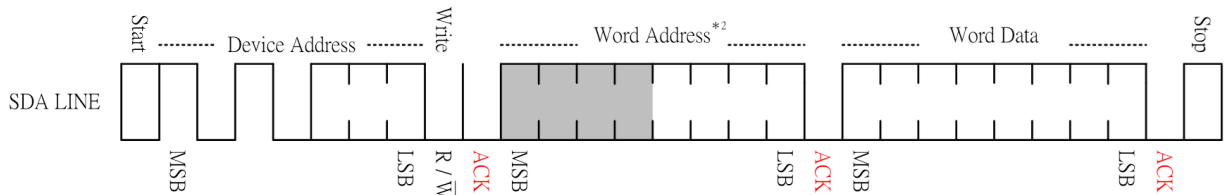


图 7-6 波形描述定义

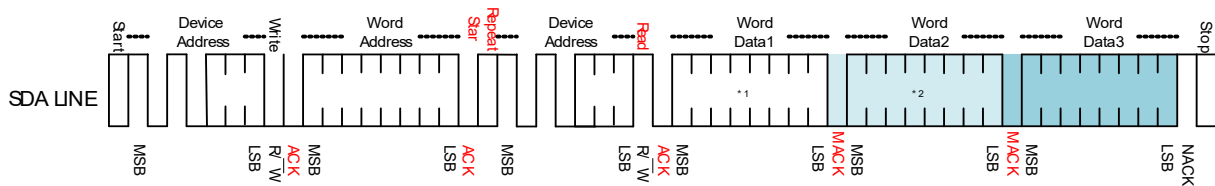
暫存器的寫入 (Write Register)



*2 Word Address: 保留0x7F為切換Bank特殊命令使用；以及使用者避免操作無效Address，將得不到ACK回應，必須先Stop再重新Start才可以繼續通訊。

图 7-7 缓存器的写入

暫存器的讀取 (Read Register)



*1 當讀取單一Address資料，傳回的資料只有Word Data1；

*2 若要讀取連續Address資料，如ADCH~ ADCL，傳回的資料有Word Data1 + Word Data2+ Word Data3。當需要傳回Data2/Data3資料，則MACK須由主控端設定為Low

图 7-8 缓存器的读取

重新讀取暫存器 (Reread Register)

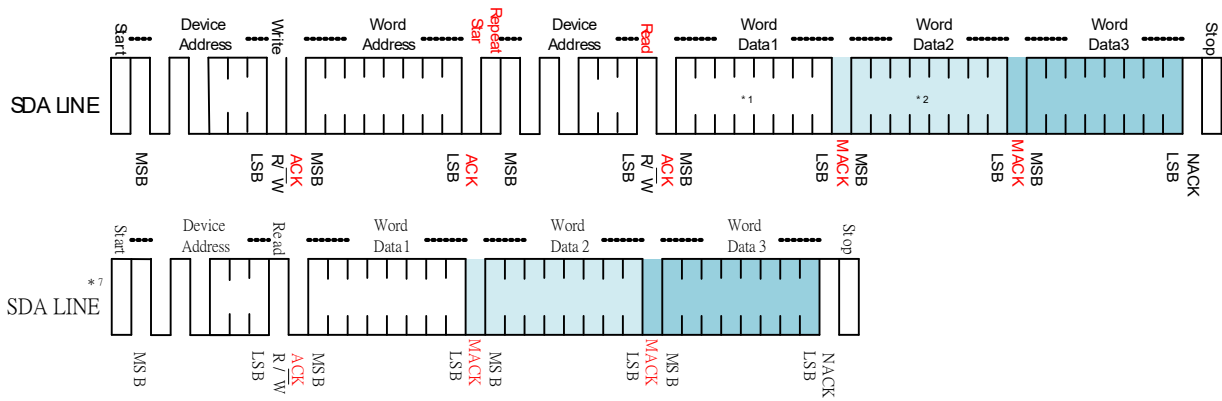


图 7-9 重新读取缓存器

暫存器的寫入與確認 (Write Register then Read Register)

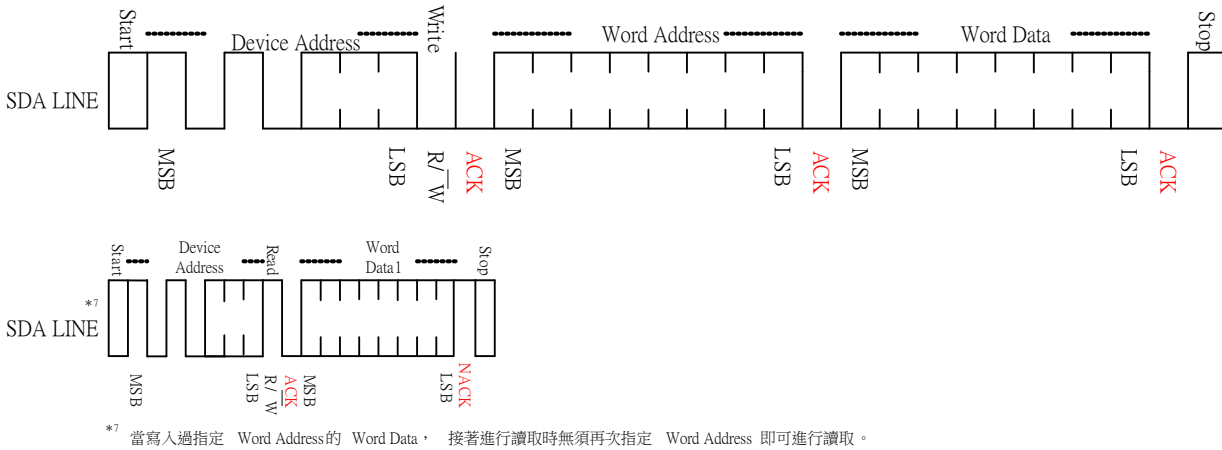
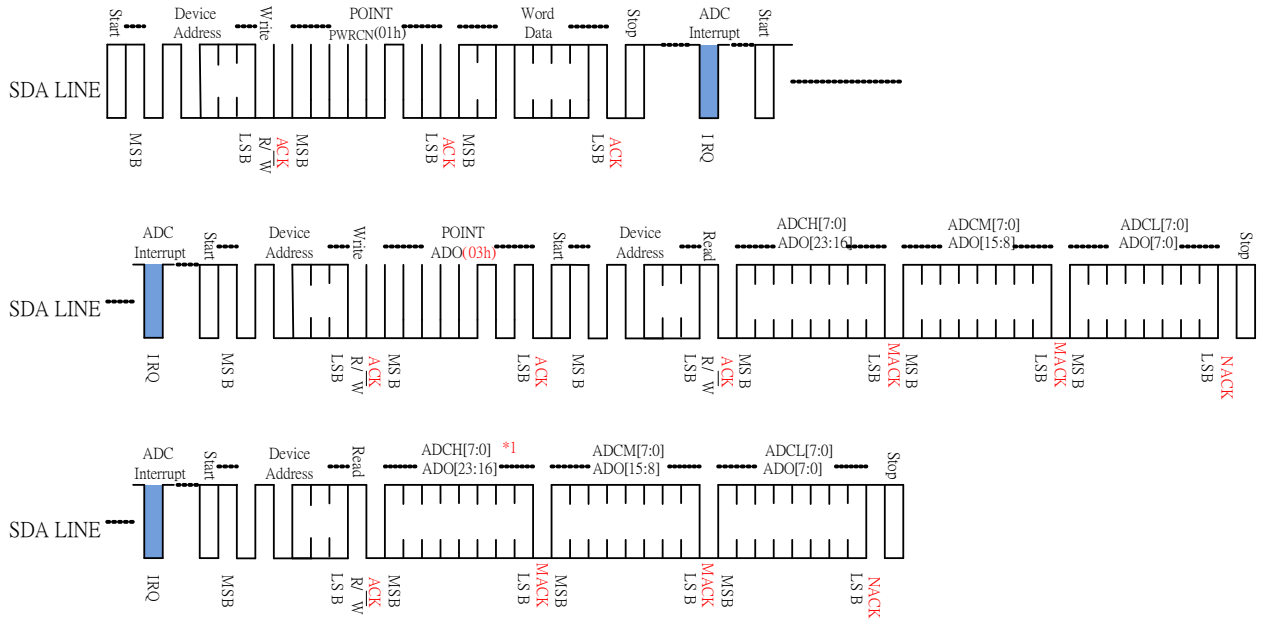


图 7-10 缓存器的写入后重复确认

中斷 IRQ 的 ADC 暫存器讀取 (IRQ Read Register)



*1, 當POINT address為03H=ADCH[7:0], 或是06H=ADIH[7:0]時, 可以支援資料連續讀取功能, 而且當重新讀取時不用重新下POINT Address

圖 7-11 中斷 IRQ 的 ADC 緩存器讀取

復位晶片 (Call Chip Reset)

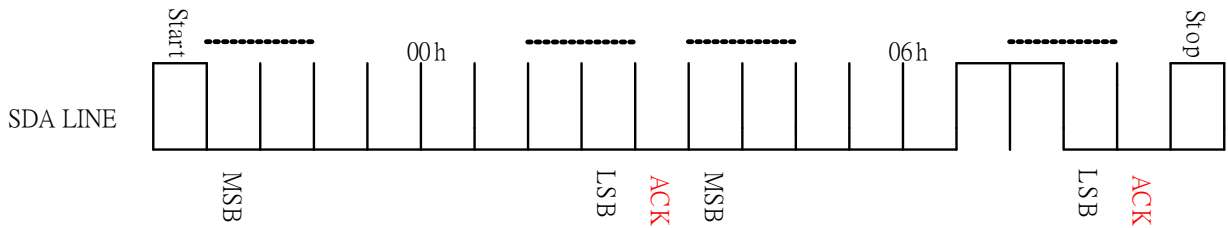


圖 7-12 復位晶片

8. 订货信息

下单品名 1	封装型式	引脚数	封装型式		程序代码 编号 2	出货包装 形式	个装 数量	材料 组成	MSL3
			E	S					
HY3123-ES20	SSOP	20	E	S20	000	Tube	58	Green ⁴	MSL-3
HY3123-ES20	SSOP	20	E	S20	000	Tape & Reel	3000	Green ⁴	MSL-3
HY3123-E016	SSOP	16	E	016	000	Tube	100	Green ⁴	MSL-3
HY3123-E016	SSOP	16	E	016	000	Tape & Reel	2500	Green ⁴	MSL-3

¹ **产品名称 – 封装型式描述方式 – 程序代码编号 (空白片 / 标准品 / 代客刻录码)**

例如：您的需求是 HY3123 产品，且需要的是封装片 SSOP20 出货，则下单品名为 HY3123-ES20，且需以 Tube 出货，则除下单品名外，请特别注明出货包装形式为 Tube。

例如：您的需求是 HY3123 产品，且需要的是封装片 SSOP20 出货，则下单品名为 HY3123-ES20，且需以 Tape & Reel 出货，则除下单品名外，请特别注明出货包装形式为 Tape & Reel。

例如：您的需求是 HY3123 产品，且需要的是封装片 SSOP16 出货，则下单品名为 HY3123-E016，且需以 Tube 出货，则除下单品名外，请特别注明出货包装形式为 Tube。

例如：您的需求是 HY3123 产品，且需要的是封装片 SSOP16 出货，则下单品名为 HY3123-E016，且需以 Tape & Reel 出货，则除下单品名外，请特别注明出货包装形式为 Tape & Reel。

² **程序代码编号**

“001”~“999” 为标准品或代客刻录申请的程序代码编号，而空白芯片不带此码。

³ **MSL:**

湿度敏感性等级系依据 IPC/JEDEC J-STD-020 的规范加以试验分级，并参考 IPC/JEDEC J-STD-033 的标准处理、包装、运输与使用。

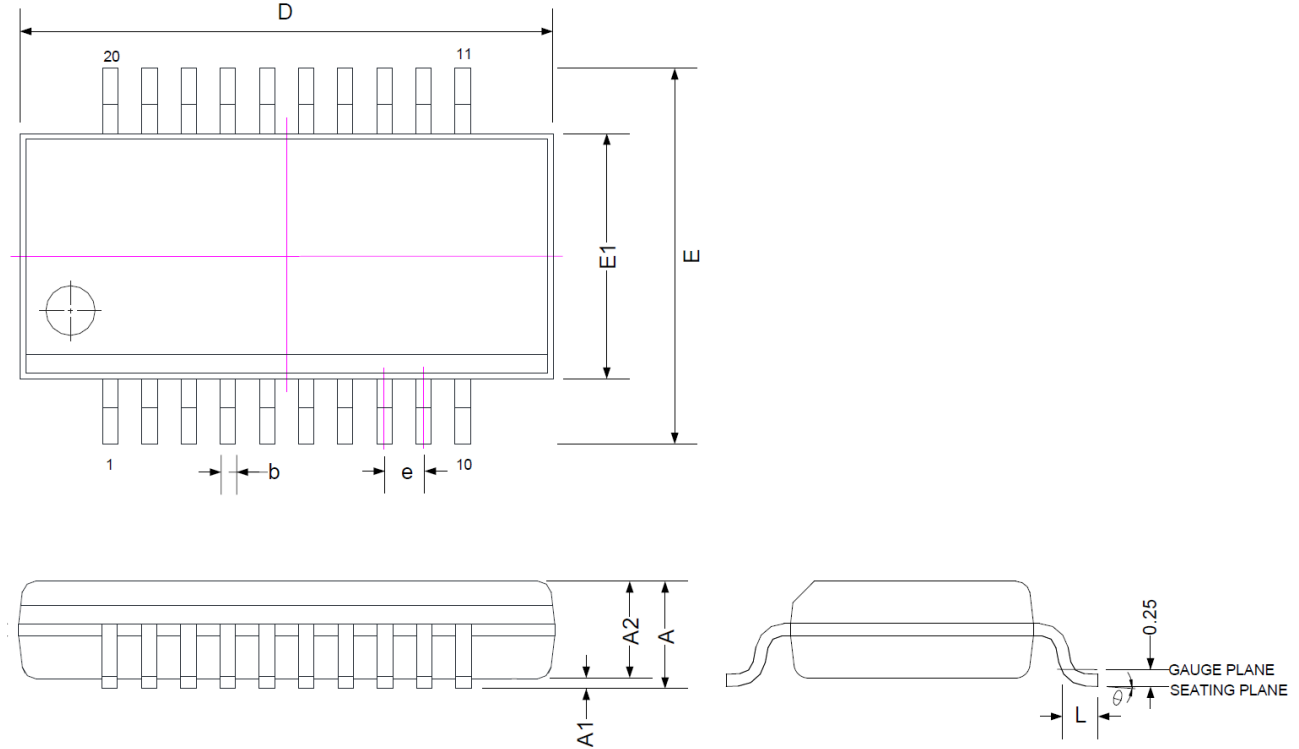
⁴ **Green (RoHS & no Cl/Br):**

HYCON 产品皆为 Green Product，符合 RoHS 指令，REACH 高关注物质(SVHC)以及无卤素规定 (Br<900ppm or Cl<900ppm or (Br+Cl)<1500ppm)。

9. 封装型式信息

9.1. SSOP20(ES20)

9.1.1. Package Dimensions SSOP20(150mil)



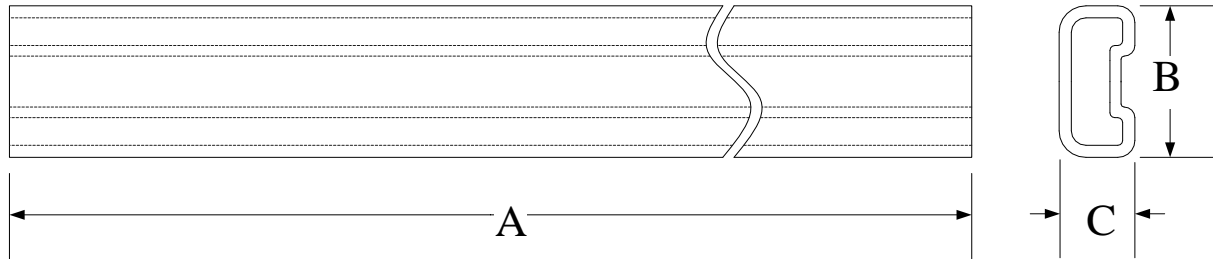
SYMBOLS	MIN	NOM	MAX
A	1.34	1.63	1.75
A1	0.10	0.15	0.25
A2	-	-	1.50
b	0.20	-	0.30
c	0.18	-	0.25
D	8.55	8.66	8.74
E1	3.81	3.91	3.99
E	5.79	5.99	6.20
L	0.41	0.64	1.27
e	0.635 BASIC		
θ°	0	-	8

Note:

1. All dimensions refer to JEDEC OUTLINE MS-137.
2. Do not include Mold Flash or Protrusions.
3. Unit: mm.

9.1.2. Tube Dimensions SSOP20(150mil)

Unit : mm

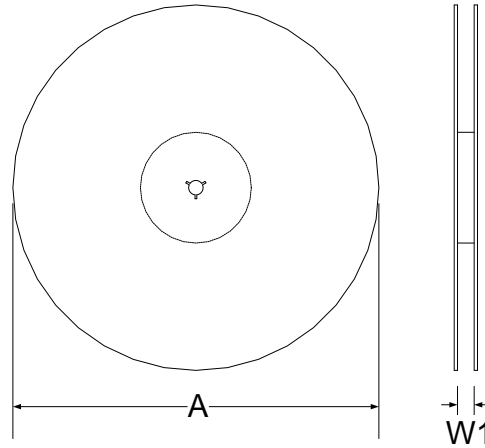


SYMBOLS	A	B	C
Spec.	529.6±1.0	8.001±0.127	3.937±0.127

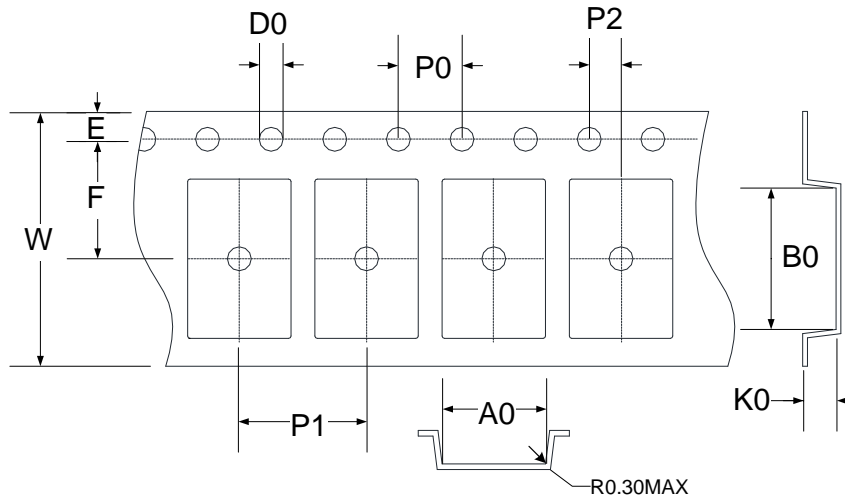
9.1.3. Tape & Reel Information

9.1.3.1. Reel Dimensions

Unit: mm



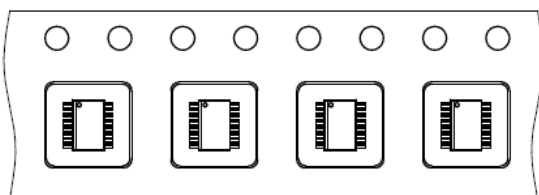
9.1.3.2. Carrier Tape Dimensions



SYMBOLS	Reel Dimensions		Carrier Tape Dimensions										
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W	
Spec.	330	16.5	6.50	9.50	2.10	4.00	8.00	2.00	1.75	7.50	1.50	16.00	
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.10	+0.1/-0	±0.30

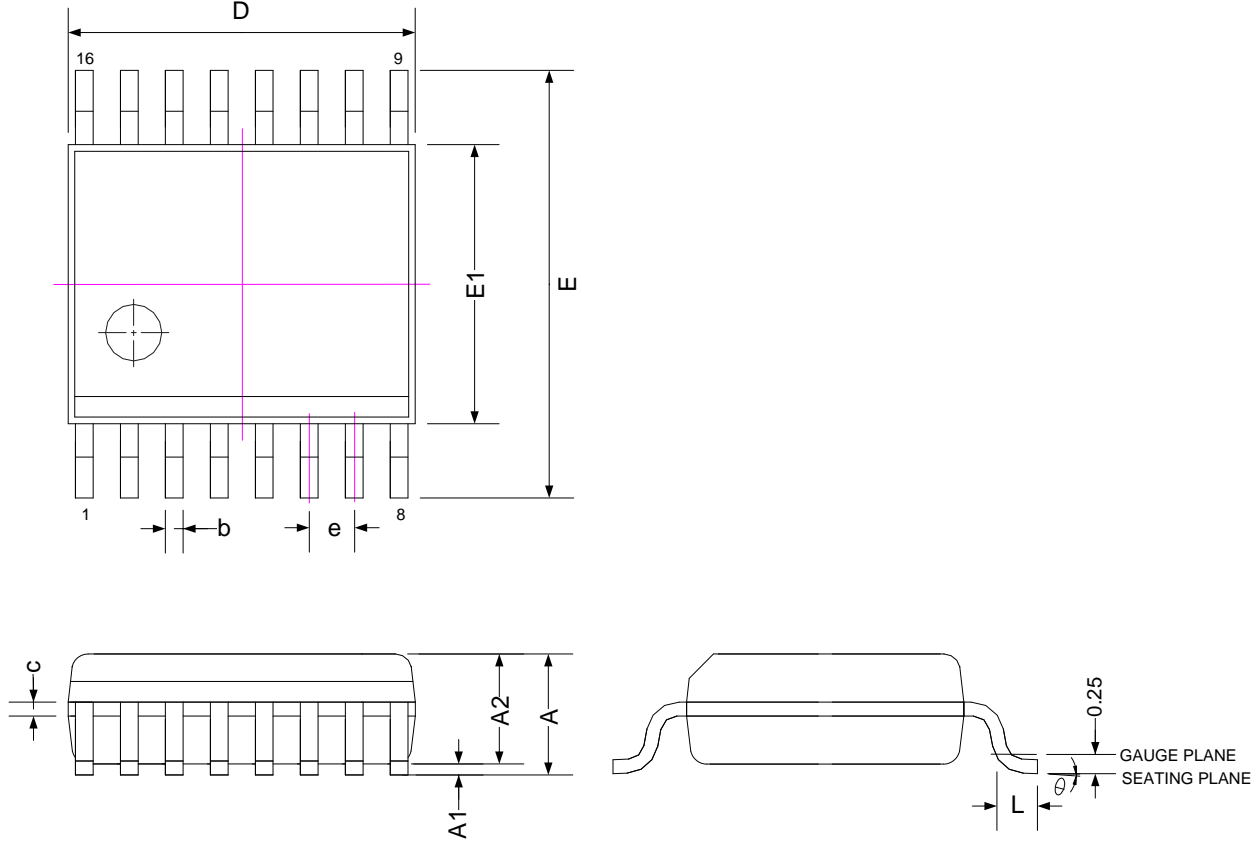
Note: 10 Sprocket hole pitch cumulative tolerance is ±0.20mm.

9.1.3.3. Pin1 direction



9.2. SSOP16(E016)

9.2.1. Package Dimensions SSOP16(150mil)



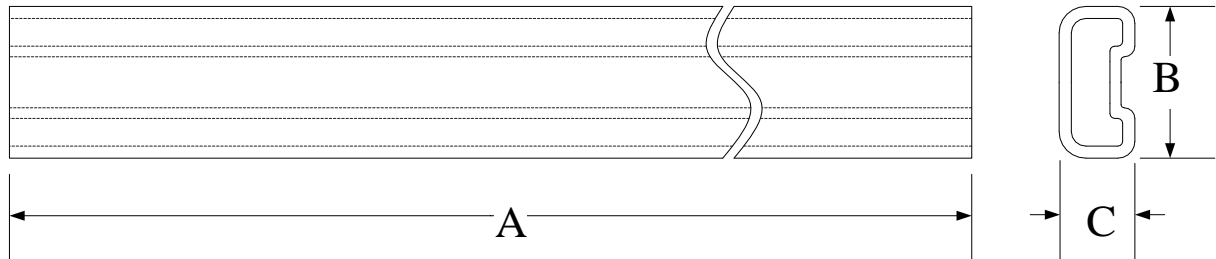
SYMBOLS	MIN	NOM	MAX
A	-	-	1.75
A1	0.10	0.15	0.25
A2	-	-	1.50
b	0.20	-	0.30
c	0.18	-	0.25
D	4.80	4.90	5.00
E1	3.81	3.91	3.99
E	5.79	5.99	6.20
L	0.41	-	1.27
e	0.635 BASIC		
θ°	0	-	8

Note:

1. All dimensions refer to JEDEC OUTLINE MO-137.
2. Do not include Mold Flash or Protrusions.
3. Unit: mm.

9.2.2. Tube Dimensions SSOP16(150mil)

Unit : mm



Type 1:

SYMBOLS	A	B	C
Spec.	521.0±1.0	7.747±0.15	3.810±0.15

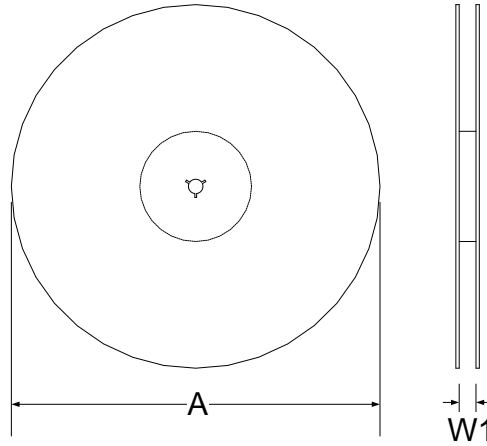
Type 2:

SYMBOLS	A	B	C
Spec.	521.0±1.0	7.874 REF.	3.810 REF.

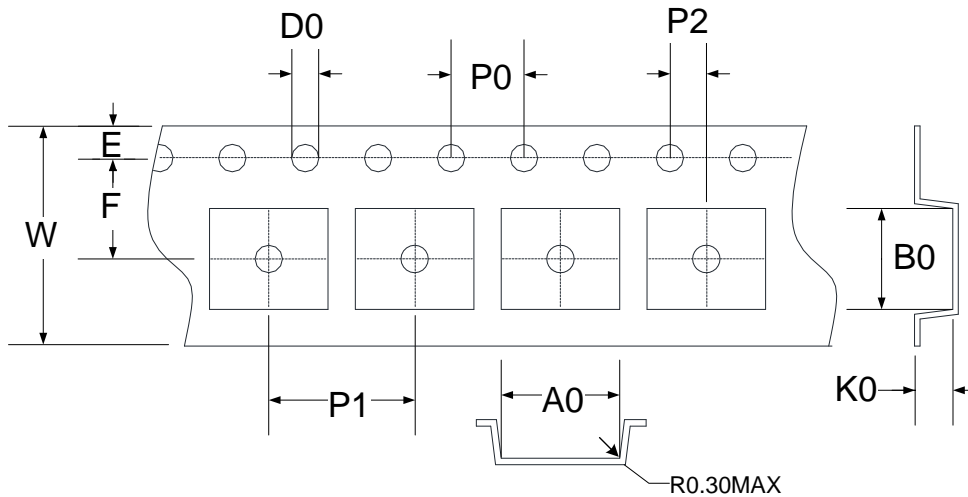
9.2.3. Tape & Reel Information

9.2.3.1. Reel Dimensions-Type1

Unit: mm



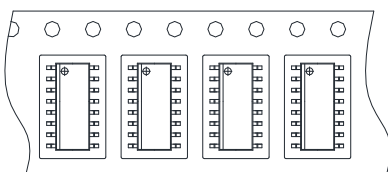
9.2.3.2. Carrier Tape Dimensions



SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	12.5	6.90	5.40	2.00	4.00	8.00	2.00	1.75	5.50	1.50	12.00
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0	±0.30

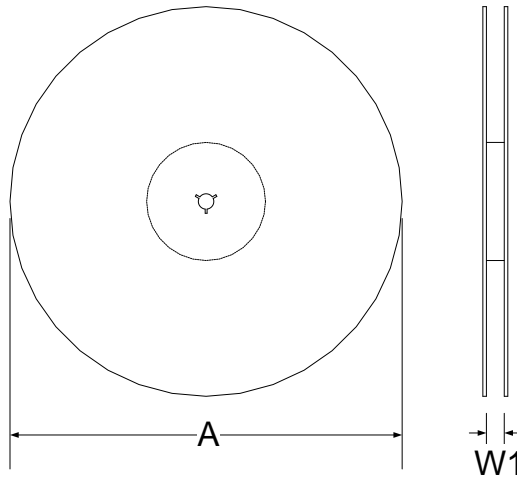
Note: 10 Sprocket hole pitch cumulative tolerance is ± 0.20 mm.
 Unit : mm

9.2.3.3. Pin1 direction

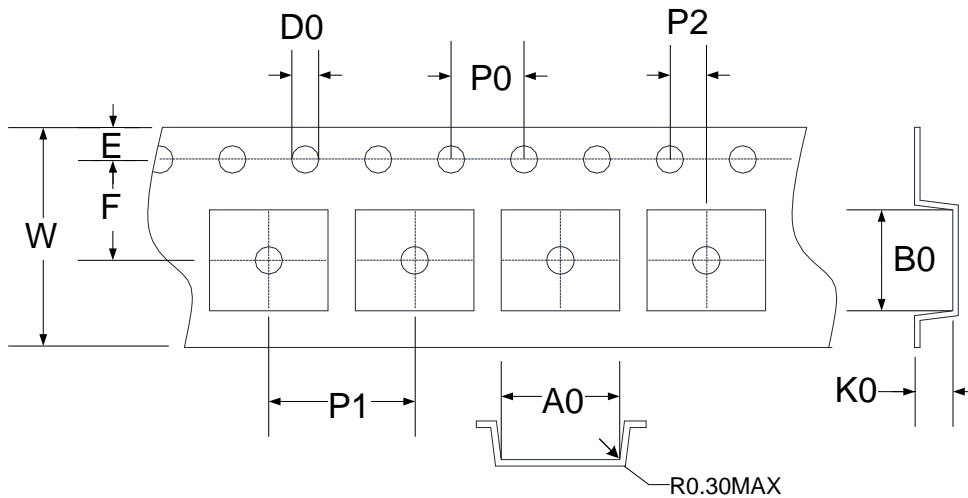


9.2.3.4. Reel Dimensions-Type2

Unit: mm



9.2.3.5. Carrier Tape Dimensions

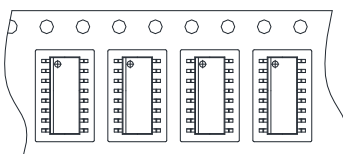


SYMBOLS	Reel Dimensions		Carrier Tape Dimensions										
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W	
Spec.	330	12.5	6.50	5.20	2.10	4.00	8.00	2.00	1.75	5.50	1.50	12.00	
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0	±0.30

Note: 10 Sprocket hole pitch cumulative tolerance is ± 0.20 mm.

Unit : mm

9.2.3.6. Pin1 direction



10. 修订记录

以下描述本文件差异较大的地方，而标点符号与字形的改变不在此描述范围。

文件版次	页次	日期	摘要
V06	All	2024/04/01	初版发行
V07	All	2024/05/09	新增 3 段 VDDA 電壓分別為 2.2V、2.25V、2.3V， VDDA 電壓範圍更新為 2.2V~3.6V