



HY3123

Datasheet

Dual 12bit DAC, 3CH. R2ROP & BIA Module

With High Precision 24-Bit $\Sigma\Delta$ ADC

Table of Contents

1. 特點	6
2. 簡介	7
2.1. 內部方塊圖	7
2.2. Power System	7
2.3. GPIO PORT CLKOUT/IRQ/AI9	8
2.4. 12-bit DAC I	8
2.5. 12-bit DAC II	9
2.6. Rail to Rail OPAMP1	9
2.7. Rail to Rail OPAMP2	10
2.8. Rail to Rail OPAMP3	10
2.9. 24-bit $\Sigma\Delta$ ADC	11
2.10. BIA Module	11
3. 引腳定義	12
3.1. 產品引腳圖	12
3.2. I/O 引腳定義	13
3.3. 封裝片標記信息	14
3.3.1. SSOP 封裝片標記信息	14
4. 應用電路	15
4.1. HCT Glucose Meter Application	15
5. 暫存器列表	16
5.1. 暫存器列表	16
5.2. 暫存器說明	17
5.2.1. PWRCN Register	17
5.2.2. OSCCN1 Register	17
5.2.3. ADCH ~ ADQL Register	19
5.2.4. CHOPCN Register	19
5.2.5. AD1CN1 ~ AD1CN5 Register	20
5.2.6. DACCN1 ~ DACCN4 Register	23
5.2.7. DAC2CN1 ~ DAC2CN3 Register	24

5.2.8.	OP1NET1 ~ OP1NET3 Register	25
5.2.9.	OP2NET1 ~ OP2NET3 Register	26
5.2.10.	OP3NET1 ~ OP3NET3 Register	27
5.2.11.	HAOTRIM Register	29
5.2.12.	HAOCTL Register	29
6.	電氣特性	30
6.1.	ABSOLUTE MAXIMUM RATINGS	30
6.2.	Recommended operating conditions	30
6.3.	Internal RC Oscillator	30
6.4.	Supply current into VDD excluding peripherals current	32
6.5.	GPIO PORT CLKOUT/IRQ/AI9	33
6.6.	Brownout Reset (BOR)	34
6.7.	Power System	35
6.8.	$\Sigma\Delta$ ADC, Power Supply and recommended operating conditions	37
6.8.1.	$\Sigma\Delta$ ADC, performance	37
6.8.2.	$\Sigma\Delta$ ADC Noise Performance	39
6.8.3.	$\Sigma\Delta$ ADC Temperature Sensor	41
6.9.	Rail to Rail OPAMP1、OPAMP2、OPAMP3	42
6.10.	12-Bit Resistor Ladder	43
6.11.	BIA Module	43
7.	I²C 通訊協議	44
7.1.	I ² C 通訊時序圖	44
8.	訂貨資訊	50
9.	封裝型式資訊	51
9.1.	SSOP20(ES20)	51
9.1.1.	Package Dimensions SSOP20(150mil)	51
9.1.2.	Tube Dimensions SSOP20(150mil)	52
9.1.3.	Tape & Reel Information	53
9.1.3.1.	Reel Dimensions	53
9.1.3.2.	Carrier Tape Dimensions	53
9.1.3.3.	Pin1 direction	53
9.2.	SSOP16(E016)	54
9.2.1.	Package Dimensions SSOP16(150mil)	54
9.2.2.	Tube Dimensions SSOP16(150mil)	55
9.2.3.	Tape & Reel Information	56
9.2.3.1.	Reel Dimensions-Type1	56
9.2.3.2.	Carrier Tape Dimensions	56

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



9.2.3.3.	Pin1 direction	56
9.2.3.4.	Reel Dimensions-Type2	57
9.2.3.5.	Carrier Tape Dimensions	57
9.2.3.6.	Pin1 direction	57
10.	修訂記錄	58

注意：

- 1、本說明書中的內容，隨著產品的改進，有可能不經過預告而更改。請客戶及時到本公司網站下載更新 <http://www.hycontek.com>。
- 2、本規格書中的圖形、應用電路等，因第三方工業所有權引發的問題，本公司不承擔其責任。
- 3、本產品在單獨應用的情況下，本公司保證它的性能、典型應用和功能符合說明書中的條件。當使用在客戶的產品或設備中，以上條件我們不作保證，建議客戶做充分的評估和測試。
- 4、請注意輸入電壓、輸出電壓、負載電流的使用條件，使 IC 內的功耗不超過封裝的容許功耗。對於客戶在超出說明書中規定額定值使用產品，即使是瞬間的使用，由此所造成的損失，本公司不承擔任何責任。
- 5、本產品雖內置防靜電保護電路，但請不要施加超過保護電路性能的過大靜電。
- 6、本規格書中的產品，未經書面許可，不可使用在要求高可靠性的電路中。例如健康醫療器械、防災器械、車輛器械、車載器械及航空器械等對人體產生影響的器械或裝置，不得作為其部件使用。
- 7、本公司一直致力於提高產品的品質和可靠度，但所有的半導體產品都有一定的失效概率，這些失效概率可能會導致一些人身事故、火災事故等。當設計產品時，請充分留意冗餘設計並採用安全指標，這樣可以避免事故的發生。
- 8、本規格書中內容，未經本公司許可，嚴禁用於其他目的之轉載或複製。

1. 特點

- AFE 前置類比處理設計
 - ◆ 內建高精度 RC 震盪器(HAO),可選擇的頻率為: 2MHz、4MHz、8MHz、並提供頻率輸出的功能
 - ◆ VDDA 輸出可達 10mA 的驅動電源
 - ◆ 三個軌對軌(Rail-to-rail) OPAMP.
 - ◆ 1MHz, 24-bit $\Sigma\Delta$ ADC 類比數位轉換器
 - ◆ I²C 數據傳輸介面
- 操作環境範圍
 - ◆ 數位電壓 VDD : 2.2V to 5.5V
 - ◆ 模擬電壓 VDDA : 2.2V to 3.6V
 - ◆ 操作溫度範圍 -40°C to +85°C
- 24-bits $\Sigma\Delta$ ADC
 - ◆ 可選擇增益 $\times 1/4, \times 1/2, \times 1 \sim \times 16$
 - ◆ 可選擇不同的數據轉換輸出速率,最高可達 31.25Ksps
 - ◆ 內建直流偏壓設計
 - ◆ IRQ 功能
- 12-bit Resistor Ladder DAC
 - ◆ 可編程電阻分壓計,具單調性輸出功能
 - ◆ 搭配 OPAMP 可設計成雙通道 12-bit DAC
- Rail-to-Rail OPAMP
 - ◆ 內置 3 個軌對軌信號輸入設計
 - ◆ 具 1mA 輸出與輸入電流能力
- 內置線性穩壓器 VDDA 與參考電壓 REFO
 - ◆ VDDA 可輸出電壓 2.2V~3.6V
 - ◆ REFO 可輸出電壓 1.2V
- I²C 傳輸介面
 - ◆ 具標準通訊格式
 - ◆ 支援 F_{SCL} = 400KHz
 - ◆ Sleep 功能(暫存器控制)
- IRQ 功能支持
- BIA Module
 - ◆ 電化學分析(Electrochemical analysis)
 - ◆ 生物阻抗分析(Bioelectrical impedance analysis)
 - ◆ AC waveform frequency: 122Hz~250KHz
 - ◆ Impedence Range: 1K ~ 1M Ω
 - ◆ Phase detector: 0~90°
- 封裝型式
 - ◆ SSOP20
 - ◆ SSOP16

功能列表

Model No.	VDD (V)	Internal Clock (Hz)	System Clock (Hz)	ADC ENOB (bit x ch)	Sample Rate (sps)	TPS	OPAMP (type x ch.)	DAC (bit x ch.)	IRQ Function	BIA Module	Serial Interface	Package
HY3123	2.2~5.5	2M 4M 8M	2M~8M	19-bit x 11	8~31.25K	yes	R2R x 3	12-bit x 2	yes	yes	I ² C x 1	SSOP20 SSOP16

2. 簡介

2.1. 內部方塊圖

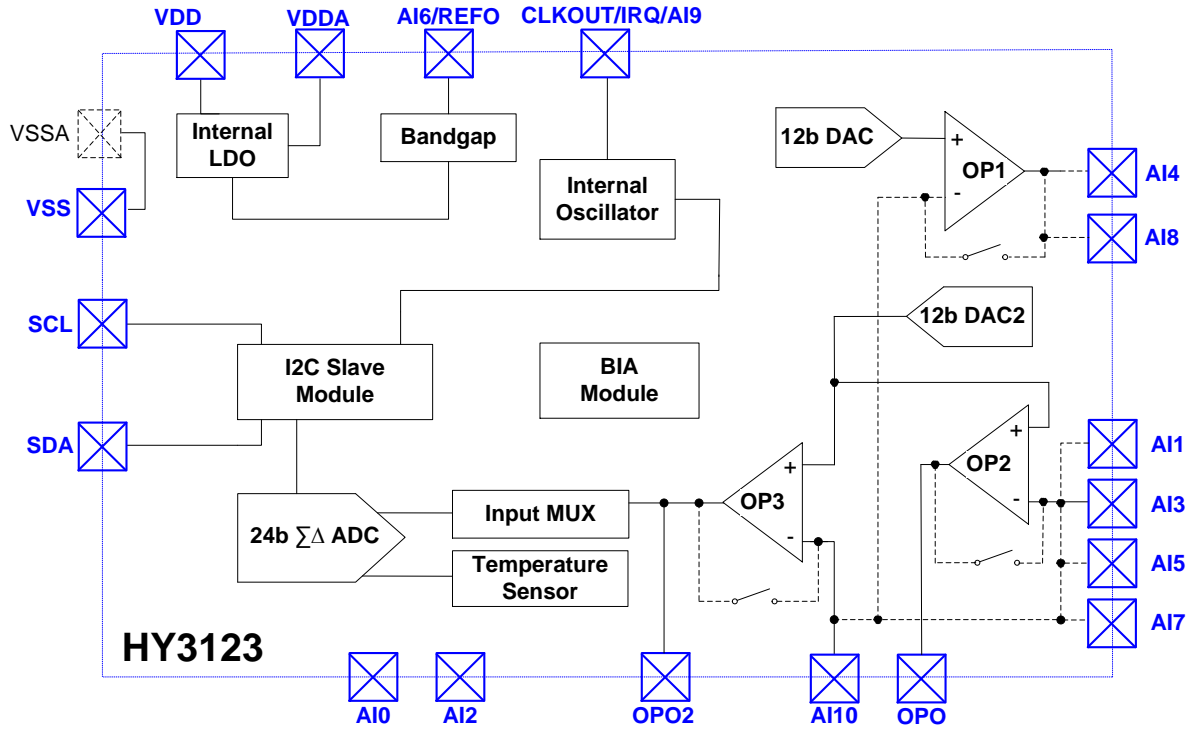


圖 2-1 晶片內部方塊圖

2.2. Power System

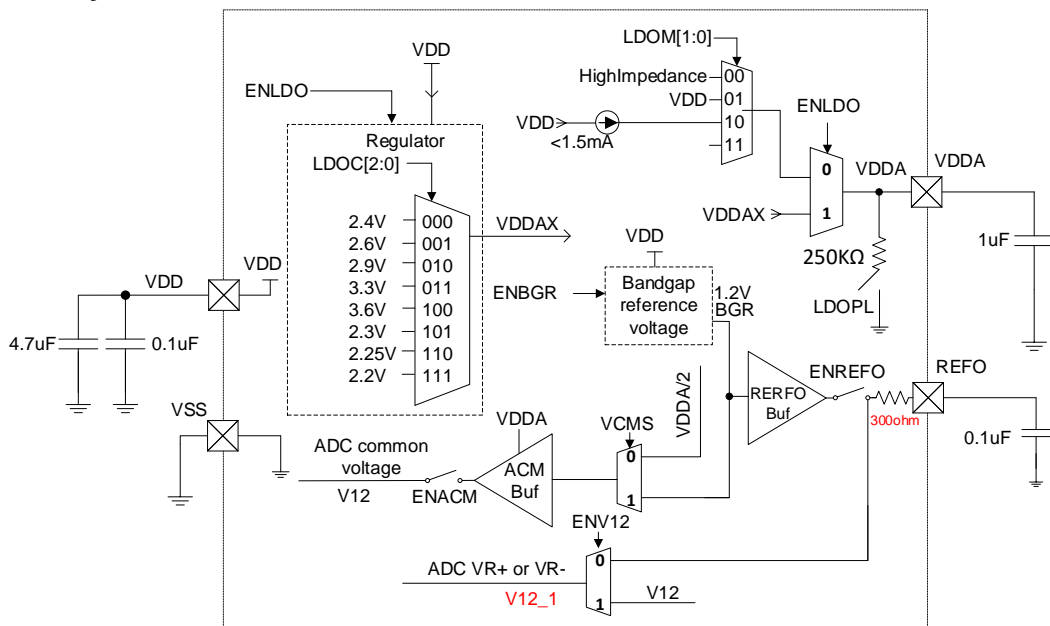


圖 2-2 Power System Block

2.3. GPIO PORT CLKOUT/IRQ/AI9

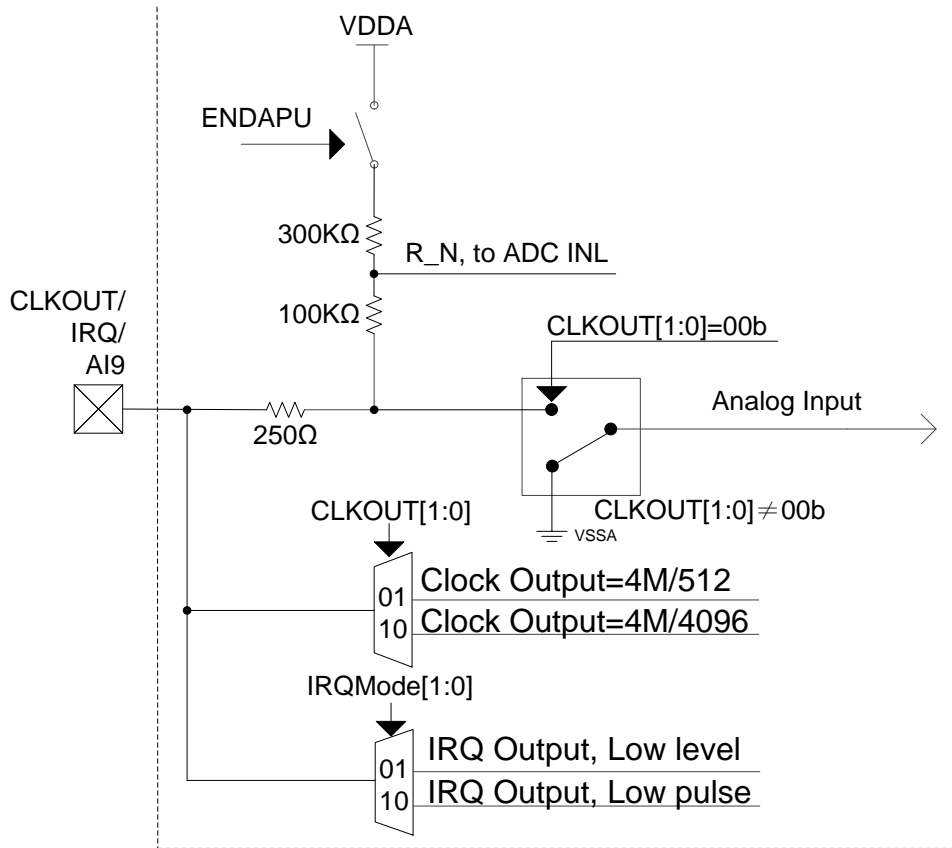


圖 2-3 GPIO PORT CLKOUT/IRQ/AI9

2.4. 12-bit DAC I

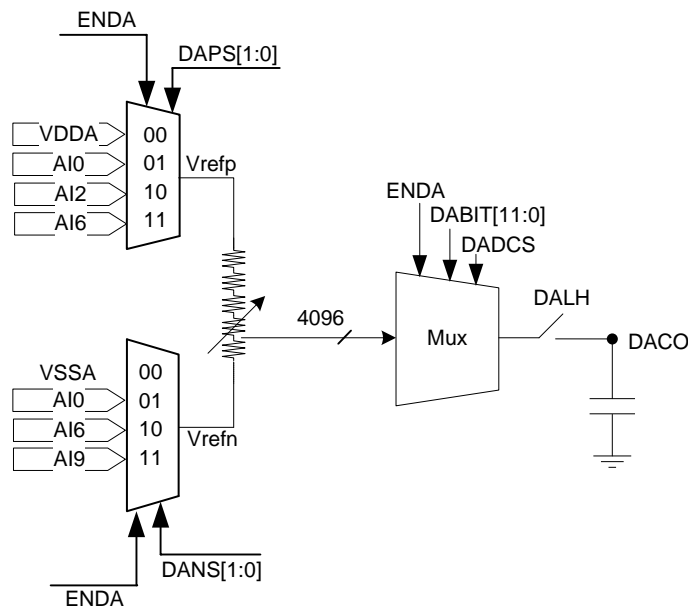


圖 2-4 12-bit DAC I Block

2.5. 12-bit DAC II

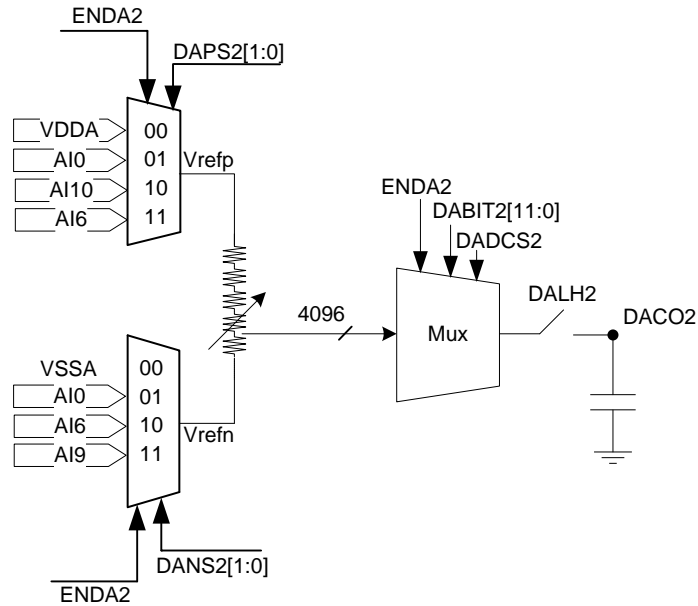


圖 2-5 12-bit DAC II Block

2.6. Rail to Rail OPAMP1

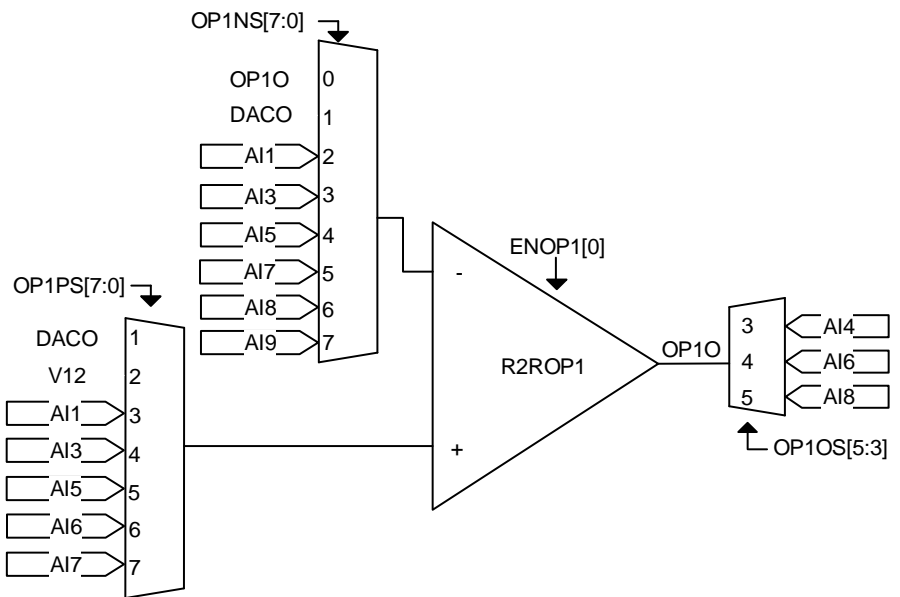


圖 2-6 Rail to Rail OPAMP1 Block

2.7. Rail to Rail OPAMP2

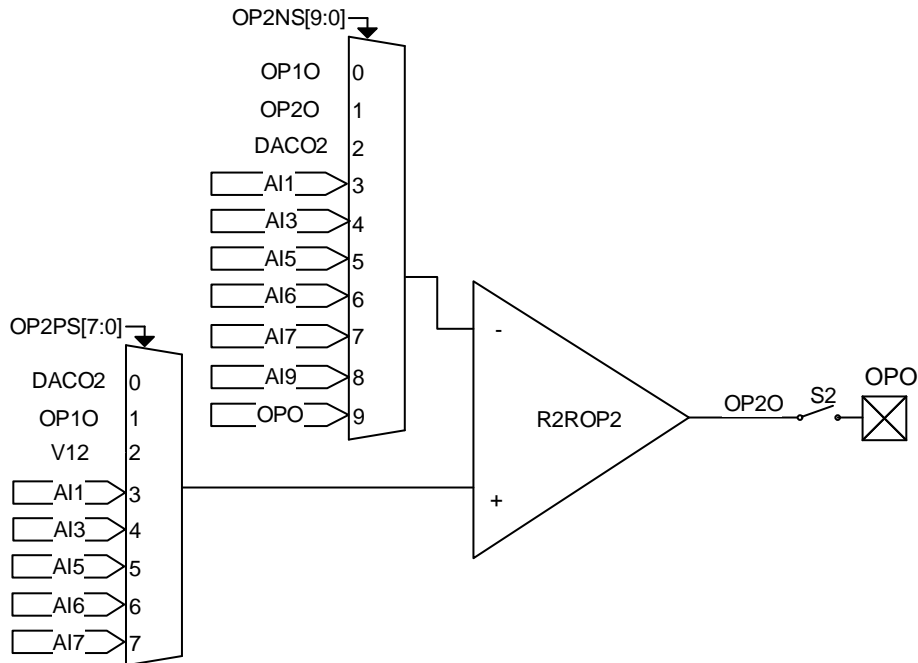


圖 2-7 Rail to Rail OPAMP2 Block

2.8. Rail to Rail OPAMP3

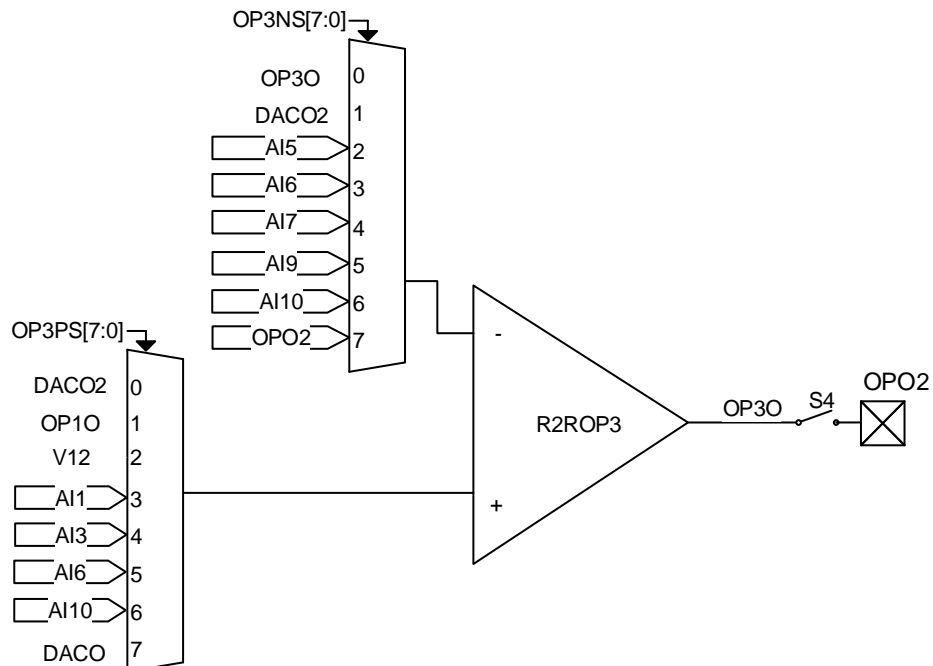


圖 2-8 Rail to Rail OPAMP3 Block

2.9. 24-bit $\Sigma\Delta$ ADC

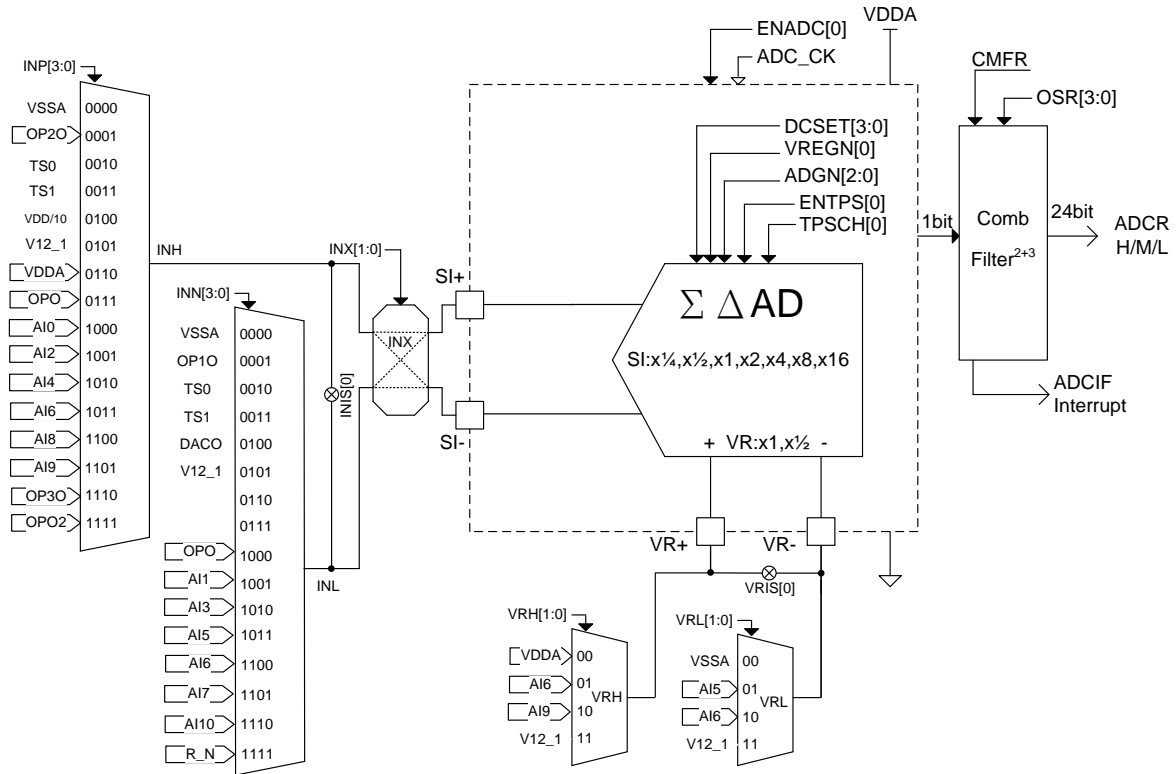


圖 2-9 24-bit $\Sigma\Delta$ ADC Block

2.10. BIA Module

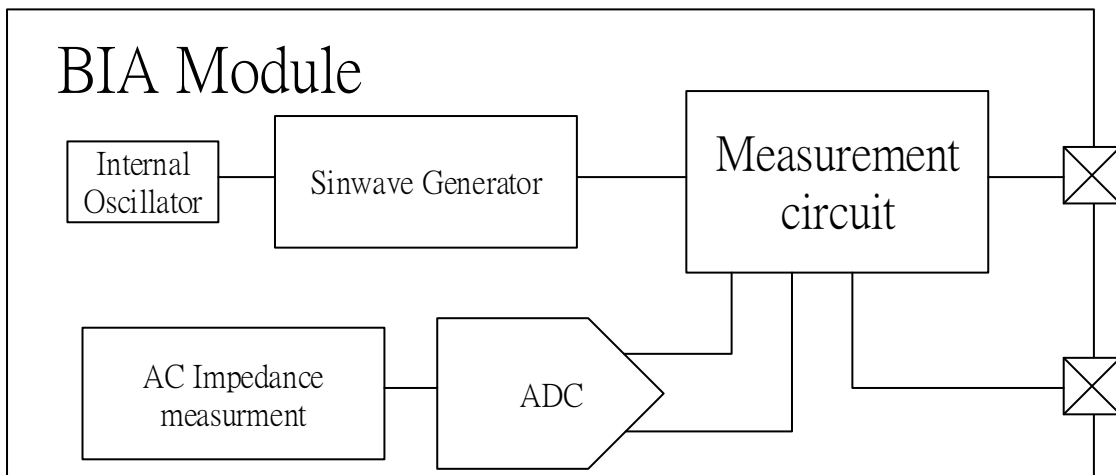


圖 2-10 BIA Block

※BIA Module 詳細資料請洽紘康科技聯繫窗口

3. 引腳定義

3.1. 產品引腳圖

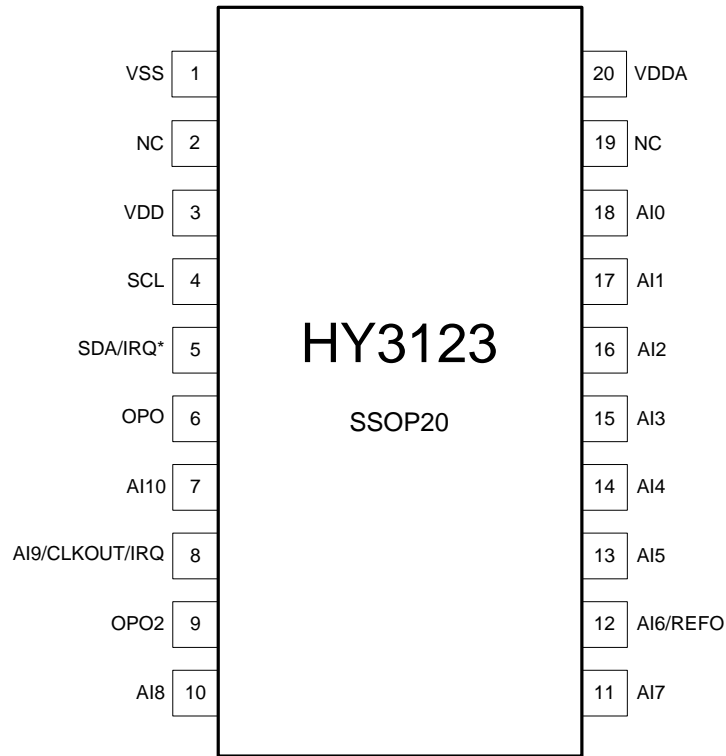


Figure 3-1 SSOP20 引腳圖

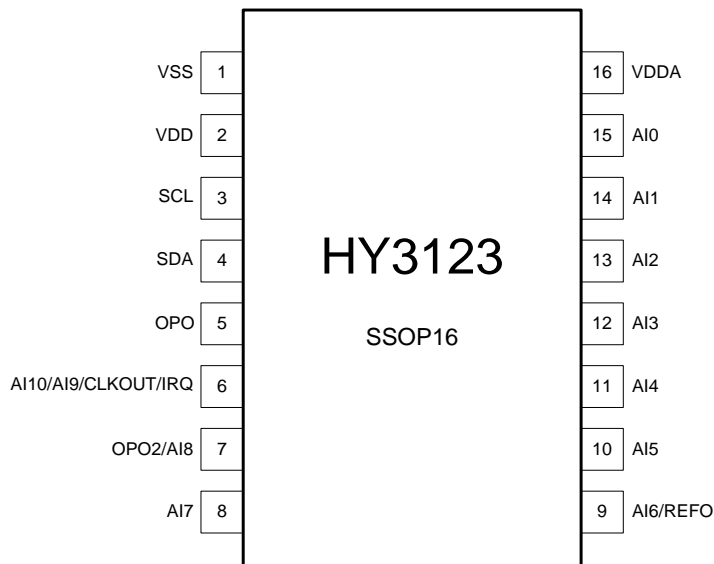


Figure 3-2 SSOP16 引腳圖

3.2. I/O 引腳定義

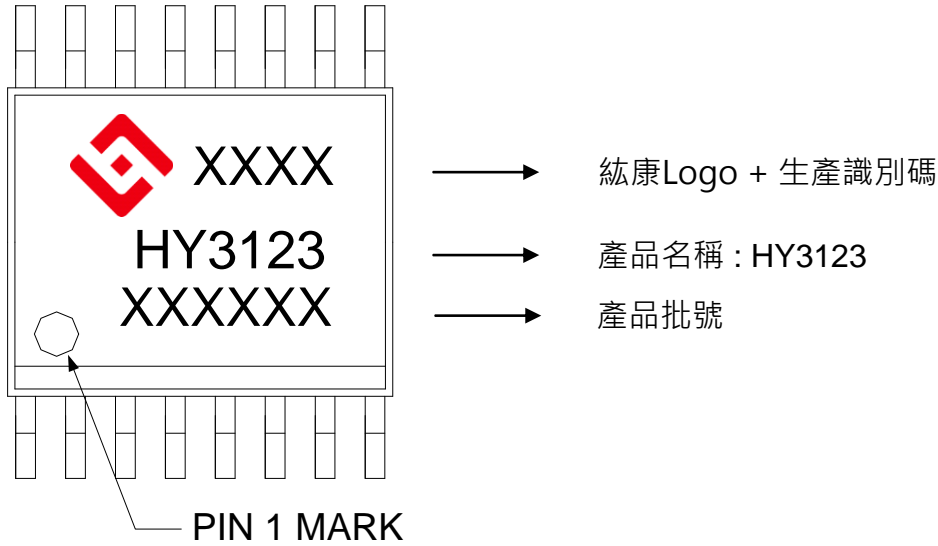
"I/O" Input/Output, "I" Input, "O" Output, "D" Digital Open-Drain, "S" Schmitt Trigger, "C" CMOS, "P" Power, "A" Analog

封裝/編號/腳位		設計			描述
SSOP20	SSOP16	名稱/功能	型式	緩衝	
1	1	VSS	P	P	晶片工作電壓源接地端
2		NC	-	-	不連接(Not connected), 該腳請保持空接
3	2	VDD	P	P	晶片工作電壓源·需外接1~10uF 對地電容
4	3	SCL	DIO	S	I ² C 通訊介面時鐘引腳
5	4	SDA	DIO	S	I ² C 通訊介面數據引腳
		IRQ*	DO	C	ADC 中斷狀態輸出(複用選擇)
6	5	OPO	P	P	OPAMP2 輸出引腳
7	6	AI10	P	P	類比通道 10
8	6	AI9	P	P	類比通道 9
		CLKOUT	P	P	內部 RC 震盪除頻輸出引腳
		IRQ	P	P	ADC 中斷狀態輸出引腳
9	7	OPO2	DAIO	A	OPAMP3 輸出引腳
10	7	AI8	AIO	A	類比通道 8
11	8	AI7	AIO	A	類比通道7
12	9	AI6	AIO	A	類比通道6
		REFO	P	P	1.2V參考電壓輸出·需外接0.1uF對地電容.
13	10	AI5	AIO	A	類比通道 5
14	11	AI4	AIO	A	類比通道4
15	12	AI3	AIO	A	類比通道3
16	13	AI2	AIO	A	類比通道2
17	14	AI1	AIO	A	類比通道1
18	15	AI0	AIO	A	類比通道0
19		NC	-	-	不連接(Not connected), 該腳請保持空接
20	16	VDDA	AIO	P	穩壓器輸出·類比電路電壓源·需要外接1~10uF 對地電容 (source: VDD)

表 3-1 引腳定義與功能說明

3.3. 封裝片標記信息

3.3.1. SSOP 封裝片標記信息



4. 應用電路

4.1. HCT Glucose Meter Application

※BIA Module 詳細資料請洽紘康科技聯繫窗口

5. 暫存器列表

5.1. 暫存器列表

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W		
001h	PWRCN	ENBGR	LDOC[2:0]		LDOM[1:0]		ENLDO	ENREFO		1000 0000	1000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
002h	OSCCN1	DADC[1:0]		CLKOUT[1:0]		IRQMode[1:0]		IRQSEL	ENDAPU	0011 0000	00xx 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
003h	ADCH	ADC conversion high byte data register									0000 0000	0000 0000	r,r,r,r,r,r,r,r	
004h	ADCM	ADC conversion middle byte data register									0000 0000	0000 0000	r,r,r,r,r,r,r,r	
005h	ADCL	ADC conversion low byte data register									ADST	0000 0000	0000 0000	r,r,r,r,r,r,r,r
00Fh	CHOPCN	DAFM	ENCH	ENINXCH			-	-	-	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
010h	AD1CN1	ENAD1	OSRM	VREGN	OSR[3:0]			CMFR		0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
011h	AD1CN2	ENACM	ENV12	VCMS	LDOPL	ADGN[2:0]			0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r			
012h	AD1CN3	VRH[1:0]		VRL[1:0]		DCSET[3:0]			0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r			
013h	AD1CN4	INP[3:0]			INN[3:0]					0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
014h	AD1CN5	-	ENTPS	TPSCH	INX[1:0]		-	-	-	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
015h	DACCN1	ENAH0	DAPS[1:0]		DANS[1:0]		-	-	-	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
016h	DACCN2	ENOP3	ENOP2	ENOP1	DADCS	DALH	-	-	ENDA	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
017h	DACCN3	-	-	-	-	DABIT[11:8]			0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r			
018h	DACCN4	DABIT[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
019h	DAC2CN1	DAPS2[1:0]		DANS2[1:0]		DALH2		-	-	ENDA2	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
01Ah	DAC2CN2	-	-	-	DADCS2	DABIT2[11:8]			0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r			
01Bh	DAC2CN3	DABIT2[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
01Ch	OP1NET1	-	-	OP1OS[5:3]			-	-	-	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
01Dh	OP1NET2	OP1PS[7:1]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
01Eh	OP1NET3	OP1NS[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
01Fh	OP2NET1	-	-	-	-	-	-	OP2NS[9:8]		0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
020h	OP2NET2	OP2NS[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
021h	OP2NET3	OP2PS[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
022h	OP3NET1	S4	-	S2	-	-	-	-	-	0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r		
023h	OP3NET2	OP3NS[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
024h	OP3NET3	OP3PS[7:0]									0000 0000	0000 0000	*,*,*,*,*,* r,r,r,r,r,r,r,r	
02Bh	HAOTRIM	-	HAOTR[6:0]								0100 0000	uuuu uuuu	*,*,*,*,*,* r,r,r,r,r,r,r,r	
03Eh	HAOCTL	ENHAO	HAOM1	HAOM0	-	-	-	-	TRIMON	0000 0u00	0000 0x00	*,*,*,*,*,* r,r,r,r,r,r,r,r		

表 5-1 控制暫存器列表

5.2. 暫存器說明

5.2.1. PWRCN Register

“-” no use, “*” read/write, “w” write, “r” read, “r0” only read 0, “r1” only read 1, “w0” only write 0, “w1” only write 1												
“.” unimplemented bit, “x” unknown, “u” unchanged, “d” depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
001h	PWRCN	ENBGR	LDOC[2:0]			LDOM[1:0]		ENLDO	ENREFO	1000 0000	1000 0000	*****

表 5-2 PWRCN 控制暫存器

PWRCN 控制暫存器：

位元	名稱	描述																				
Bit7	ENBGR	內部Bias電壓控制器 <0>關閉。如果關閉內部 HAO 後，再關閉 ENBGR 晶片就會進入 Sleep Mode <1>啟用(預設)。當開啟 ADC 及 TPS 前，ENBGR 必須先設為'1'後再開啟。																				
Bit6~4	LDOC[2:0]	VDDAX 輸出電壓選擇器 當 ENLDO 為'1'時，此設定電壓才會輸出至 VDDA 接腳上。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LDOC[2:0]</th> <th>VDDAX 輸出電壓</th> <th>LDOC[2:0]</th> <th>VDDAX 輸出電壓</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>2.4V</td> <td>100</td> <td>3.6V</td> </tr> <tr> <td>001</td> <td>2.6V</td> <td>101</td> <td>2.3V</td> </tr> <tr> <td>010</td> <td>2.9V</td> <td>110</td> <td>2.25V</td> </tr> <tr> <td>011</td> <td>3.3V</td> <td>111</td> <td>2.2V</td> </tr> </tbody> </table> 注意：在實際應用時，VDDA 必須要小於 VDD-0.25V。	LDOC[2:0]	VDDAX 輸出電壓	LDOC[2:0]	VDDAX 輸出電壓	000	2.4V	100	3.6V	001	2.6V	101	2.3V	010	2.9V	110	2.25V	011	3.3V	111	2.2V
LDOC[2:0]	VDDAX 輸出電壓	LDOC[2:0]	VDDAX 輸出電壓																			
000	2.4V	100	3.6V																			
001	2.6V	101	2.3V																			
010	2.9V	110	2.25V																			
011	3.3V	111	2.2V																			
Bit3~2	LDOM[1:0]	VDDA 輸出選擇器 當 ENLDO 為'0'時，此設定才會輸出至 VDDA 接腳上。 <00> 關閉(預設)。使 VDDA 具高輸入阻抗模式 <01> 輸出 VDD 電壓 <10> Pull high to VDD by 1.5mA. (It is use to initial VDDA when a small current) <11> Reserved.																				
Bit1	ENLDO	內部 VDDA 線性穩壓器控制器 <0>關閉(預設) <1>啟用																				
Bit0	ENREFO	REFO 電壓源輸出控制 <0> 關閉(預設) <1> 1.2V 電壓源輸出。																				

5.2.2. OSCCN1 Register

“-” no use, “*” read/write, “w” write, “r” read, “r0” only read 0, “r1” only read 1, “w0” only write 0, “w1” only write 1												
“.” unimplemented bit, “x” unknown, “u” unchanged, “d” depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
002h	OSCCN1	DADC[1:0]		CLKOUT[1:0]		IRQMode[1:0]		IRQSEL	ENDAPU	0011 0000	00xx 0000	*****

表 5-3 OSCCN1 控制暫存器

OSCCN1 控制暫存器：

位元	名稱	描述										
Bit7~6	DADC[2:0]	ADC Clock 的頻率分配選擇器 <00> Pre-Scale: HAO \div 4(預設) <01> Pre-Scale: HAO \div 8 <10> Pre-Scale: HAO \div 2 <11> Reserved										
Bit5~4	CLKOUT[1:0]	CLKOUT 功能輸出選擇器。(輸出引腳為 CLKOUT) <00> 關閉輸出，為高阻抗輸入狀態。 <01> 晶片內部高速 HAO 頻率輸出，Pre-Scale: HAO \div 512 <10> 晶片內部高速 HAO 頻率輸出，Pre-Scale: HAO \div 4096 <11> 輸入 VSS 電位(預設)										
Bit3~2	IRQMode[1:0]	<table border="1"> <thead> <tr> <th>IRQMode[1:0]</th> <th>IRQ 輸出功能</th> </tr> </thead> <tbody> <tr> <td><00></td> <td>關閉 IRQ 輸出功能(預設)</td> </tr> <tr> <td><01></td> <td>IRQ Mode 啟動，IRQ 腳位輸出低準位： ADC 發生中斷時，使 IRQ 腳位輸出 Low Level。 1. 當 IRQSEL<0>=CLKOUT 時，直到發生 Host 讀取暫存器 (包含 ADCH~ADQL，03H~0BH)行為時才會解除 IRQ 狀態，恢復到 High Level；該設定優先權高於 CLKOUT[1:0] 設定，當設定 IRQ Mode[1:0]=01b or 10b 時，CLKOUT[1:0]的設定將會無效。 2. 當 IRQSEL<1>=SDA 時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I²C 通訊中，則 SDA 輸出 Low Level 會在 I²C Stop 之後才發生。之後需要透過 SCL 送出 Low Pulse 才可以解開 SDA，之後才可以重新進行 I²C 通訊。</td> </tr> <tr> <td><10></td> <td>IRQ Mode 啟動，IRQ 腳位輸出 Low Pulse： ADC 發生中斷時，使 IRQ 腳位輸出 Low Pulse 維持 16 個 ADC Clock 時間(ADC Clock=1MHz, Low Pulse Time=1M/16=16 us)。 1. 當 IRQSEL<0>=CLKOUT 時，ADC 發生中斷時，IRQ 腳位正常輸出 Low Pulse；該設定優先權高於 CLKOUT[1:0] 設定，當設定 IRQ Mode[1:0]=01b or 10b 時，CLKOUT[1:0]的設定將會無效。 2. 當 IRQSEL<1>=SDA 時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I²C 通訊中，則 SDA 的輸出 Low Pulse 會在 I²C Stop 之後才發生；Host 需要在等待 IRQ Low Pulse 前須自行正確設定 Host 端 GPIO 帶有中斷觸發(High to Low trigger)功能，才可以避免資料漏接問題。</td> </tr> <tr> <td><11></td> <td>Reserved</td> </tr> </tbody> </table>	IRQMode[1:0]	IRQ 輸出功能	<00>	關閉 IRQ 輸出功能(預設)	<01>	IRQ Mode 啟動，IRQ 腳位輸出低準位： ADC 發生中斷時，使 IRQ 腳位輸出 Low Level。 1. 當 IRQSEL<0>=CLKOUT 時，直到發生 Host 讀取暫存器 (包含 ADCH~ADQL，03H~0BH)行為時才會解除 IRQ 狀態，恢復到 High Level；該設定優先權高於 CLKOUT[1:0] 設定，當設定 IRQ Mode[1:0]=01b or 10b 時，CLKOUT[1:0]的設定將會無效。 2. 當 IRQSEL<1>=SDA 時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I ² C 通訊中，則 SDA 輸出 Low Level 會在 I ² C Stop 之後才發生。之後需要透過 SCL 送出 Low Pulse 才可以解開 SDA，之後才可以重新進行 I ² C 通訊。	<10>	IRQ Mode 啟動，IRQ 腳位輸出 Low Pulse： ADC 發生中斷時，使 IRQ 腳位輸出 Low Pulse 維持 16 個 ADC Clock 時間(ADC Clock=1MHz, Low Pulse Time=1M/16=16 us)。 1. 當 IRQSEL<0>=CLKOUT 時，ADC 發生中斷時，IRQ 腳位正常輸出 Low Pulse；該設定優先權高於 CLKOUT[1:0] 設定，當設定 IRQ Mode[1:0]=01b or 10b 時，CLKOUT[1:0]的設定將會無效。 2. 當 IRQSEL<1>=SDA 時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I ² C 通訊中，則 SDA 的輸出 Low Pulse 會在 I ² C Stop 之後才發生；Host 需要在等待 IRQ Low Pulse 前須自行正確設定 Host 端 GPIO 帶有中斷觸發(High to Low trigger)功能，才可以避免資料漏接問題。	<11>	Reserved
		IRQMode[1:0]	IRQ 輸出功能									
		<00>	關閉 IRQ 輸出功能(預設)									
		<01>	IRQ Mode 啟動，IRQ 腳位輸出低準位： ADC 發生中斷時，使 IRQ 腳位輸出 Low Level。 1. 當 IRQSEL<0>=CLKOUT 時，直到發生 Host 讀取暫存器 (包含 ADCH~ADQL，03H~0BH)行為時才會解除 IRQ 狀態，恢復到 High Level；該設定優先權高於 CLKOUT[1:0] 設定，當設定 IRQ Mode[1:0]=01b or 10b 時，CLKOUT[1:0]的設定將會無效。 2. 當 IRQSEL<1>=SDA 時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I ² C 通訊中，則 SDA 輸出 Low Level 會在 I ² C Stop 之後才發生。之後需要透過 SCL 送出 Low Pulse 才可以解開 SDA，之後才可以重新進行 I ² C 通訊。									
		<10>	IRQ Mode 啟動，IRQ 腳位輸出 Low Pulse： ADC 發生中斷時，使 IRQ 腳位輸出 Low Pulse 維持 16 個 ADC Clock 時間(ADC Clock=1MHz, Low Pulse Time=1M/16=16 us)。 1. 當 IRQSEL<0>=CLKOUT 時，ADC 發生中斷時，IRQ 腳位正常輸出 Low Pulse；該設定優先權高於 CLKOUT[1:0] 設定，當設定 IRQ Mode[1:0]=01b or 10b 時，CLKOUT[1:0]的設定將會無效。 2. 當 IRQSEL<1>=SDA 時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I ² C 通訊中，則 SDA 的輸出 Low Pulse 會在 I ² C Stop 之後才發生；Host 需要在等待 IRQ Low Pulse 前須自行正確設定 Host 端 GPIO 帶有中斷觸發(High to Low trigger)功能，才可以避免資料漏接問題。									
<11>	Reserved											
Bit1	IRQSEL	IRQ 功能輸出引腳選擇器 <0> CLKOUT(預設) <1> SDA										

位元	名稱	描述
		IRQ Mode 啟動與設定,由 IRQMode[1:0]決定
Bit0	ENDAPU	A19 引腳上拉電阻啟動選擇器 <0> 關閉上拉電阻(預設) <1> 啟動 400K ohm 上拉電阻連接到 VDDA 引腳

5.2.3. ADCH ~ ADQL Register

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1													
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition													
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W	
003h	ADCH	ADC conversion high byte data register								0000 0000	0000 0000	r,r,r,r,r,r,r,r	
004h	ADCM	ADC conversion middle byte data register								0000 0000	0000 0000	r,r,r,r,r,r,r,r	
005h	ADCL	ADC conversion low byte data register								ADST	0000 0000	0000 0000	r,r,r,r,r,r,r,r

表 5-4 ADCH ~ ADQL 資料暫存器

ADCH[7:0]、ADCM[7:0]、ADCL[7:0] ADC 資料轉換暫存器：

位元	名稱	描述
Bit7~0	ADCH[7:0]	ADC High Byte 資料暫存器
Bit7~0	ADCM[7:0]	ADC Middle Byte 資料暫存器
Bit7~1	ADCL[7:1]	ADC Low Byte 資料暫存器
Bit0	ADST	ADC 資料讀取旗標 <0> ADC 資料已經讀取或是還未發生 ADC 中斷事件 <1> ADC 已經更新資料發生中斷旗標。當讀取該暫存器之後，該位元由硬體自動清除為 0。

ADCH 暫存器支援 I²C 連續讀取資料功能。當 I²C 通訊要讀取 ADCH~ADCL 暫存器時，可以透過連續讀取方式，由 Host 直接讀出 24-bit ADC 資料轉換數值。當下一次 ADC 中斷發生時要重新讀取 ADCH~ADCL 暫存器時，Host 不須重新下 Point Address，即可直接讀出資料，讀取協議可參考圖 7-11 說明。

5.2.4. CHOPCN Register

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1												
“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
00Fh	CHOPCN	DAFM	ENCH	ENINXCH						0000 0000	0000 0000	*****

表 5-6 CHOPCN 控制暫存器

CHOPCN 控制暫存器：

位元	名稱	描述
Bit7	DAFM	Comb filter 輸出資料格式。 <0> 正常資料輸出 (預設) <1> Chopper Result 資料輸出。 (ADC1 + (ADC2))/2, 下一筆則為: (ADC2 + ADC3)/2....
Bit6	ENCH	ADC Chopper Mode 控制器 <0> 關閉 (預設) <1> 啟用。 Note: 必須先設定 ENINXCH 以及 DAFM，最後再開啟 ENCH。

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位元	名稱	描述
Bit5	ENINXCH	控制 ADC 輸入端 INX[1:0]自動切換開關 <0> 不啟動, INX 維持原本使用者設定 (預設) <1> 啟動自動切換;

5.2.5. AD1CN1 ~ AD1CN5 Register

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1
 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
010h	AD1CN1	ENAD1	OSRM	VREGN	OSR[3:0]			CMFR		0000 0000	0000 0000	***,***,*,w1
011h	AD1CN2		ENACM	ENV12	VCMS	LDOPL	ADGN[2:0]			0000 0000	0000 0000	***,***,***
012h	AD1CN3	VRH[1:0]		VRL[1:0]		DCSET[3:0]				0000 0000	0000 0000	***,***,***
013h	AD1CN4	INP[3:0]			INN[3:0]					0000 0000	0000 0000	***,***,***
014h	AD1CN5	-		ENTPS	TPSCH	INX[1:0]				0000 0000	0000 0000	***,***,***

表 5-7 AD1CN1 ~ AD1CN5 控制暫存器

AD1CN1 控制暫存器：

位元	名稱	描述																																																						
Bit7	ENAD1	$\Sigma\Delta$ ADC 啟用控制器 <0> 關閉(預設) <1> 啟用																																																						
Bit6	OSRM	Comb filter Level <0> 2 nd comb filter(預設) <1> 3 rd comb filter (切到此模式下·無法啟用 ENCH 的功能)																																																						
Bit5	VREGN	VR \pm 倍率調整器 <0> x1(預設) <1> x1/2																																																						
Bit4~1	OSR[3:0]	$\Sigma\Delta$ ADC 超取樣率除頻器 <table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th>OSR[3:0]</th> <th>OSR</th> <th>Comb filter Order</th> <th>OSR[3:0]</th> <th>OSR</th> <th>Comb filter Order</th> </tr> </thead> <tbody> <tr><td>0000</td><td>32</td><td>2nd/3rd</td><td>1000</td><td>8000</td><td>2nd/3rd</td></tr> <tr><td>0001</td><td>64</td><td>2nd/3rd</td><td>1001</td><td>16000</td><td>2nd/3rd</td></tr> <tr><td>0010</td><td>125</td><td>2nd/3rd</td><td>1010</td><td>32000</td><td>2nd/3rd</td></tr> <tr><td>0011</td><td>250</td><td>2nd/3rd</td><td>1011</td><td>64000</td><td>2nd/3rd</td></tr> <tr><td>0100</td><td>500</td><td>2nd/3rd</td><td>1100</td><td>64000</td><td>2nd/3rd</td></tr> <tr><td>0101</td><td>1000</td><td>2nd/3rd</td><td>1101</td><td>64000</td><td>2nd/3rd</td></tr> <tr><td>0110</td><td>2000</td><td>2nd/3rd</td><td>1110</td><td>64000</td><td>2nd/3rd</td></tr> <tr><td>0111</td><td>4000</td><td>2nd/3rd</td><td>1111</td><td>64000</td><td>2nd/3rd</td></tr> </tbody> </table>	OSR[3:0]	OSR	Comb filter Order	OSR[3:0]	OSR	Comb filter Order	0000	32	2 nd /3 rd	1000	8000	2 nd /3 rd	0001	64	2 nd /3 rd	1001	16000	2 nd /3 rd	0010	125	2 nd /3 rd	1010	32000	2 nd /3 rd	0011	250	2 nd /3 rd	1011	64000	2 nd /3 rd	0100	500	2 nd /3 rd	1100	64000	2 nd /3 rd	0101	1000	2 nd /3 rd	1101	64000	2 nd /3 rd	0110	2000	2 nd /3 rd	1110	64000	2 nd /3 rd	0111	4000	2 nd /3 rd	1111	64000	2 nd /3 rd
OSR[3:0]	OSR	Comb filter Order	OSR[3:0]	OSR	Comb filter Order																																																			
0000	32	2 nd /3 rd	1000	8000	2 nd /3 rd																																																			
0001	64	2 nd /3 rd	1001	16000	2 nd /3 rd																																																			
0010	125	2 nd /3 rd	1010	32000	2 nd /3 rd																																																			
0011	250	2 nd /3 rd	1011	64000	2 nd /3 rd																																																			
0100	500	2 nd /3 rd	1100	64000	2 nd /3 rd																																																			
0101	1000	2 nd /3 rd	1101	64000	2 nd /3 rd																																																			
0110	2000	2 nd /3 rd	1110	64000	2 nd /3 rd																																																			
0111	4000	2 nd /3 rd	1111	64000	2 nd /3 rd																																																			
Bit0	CMFR	$\Sigma\Delta$ ADC 與梳狀濾波器復位控制器 <0> 不復位 <1> 復位；寫入動作即發生復位。Write 1 Only·硬體自動清除為 0.																																																						

AD1CN2 控制暫存器：

位元	名稱	描述
----	----	----

HY3123

Dual 12bit DAC, 3 CH. R2ROP and BIA Module

With High Precision 24-Bit $\Sigma\Delta$ ADC

位元	名稱	描述																				
Bit6	ENACM	ADC Common Mode Buffer 啟動控制器 <0> 關閉(預設) <1> 啟用，根據 VCMS 決定電壓。																				
Bit5	ENV12	V12_1 電壓來源控制器 <0> V12_1 來源選擇為 REFO(預設) <1> V12_1 來源選擇選擇 V12																				
Bit4	VCMS	ADC Common Voltage. <0> VDDA/2(預設) <1> 1.2V																				
Bit3	LDOPL	內部 250k Ω 下拉電阻開關 <0>關閉 (預設) <1>啟用 以下幾點務必使 LDOPL 為 1，否則 VDDA 穩壓結果會不如預期 ※ 使用內部 LDO 輸出時。(ENLDO=1b) ※ ADC 參考電壓選用 VDDA/2-VSS 時。(VCMS=0b)																				
Bit2~0	ADGN[2:0]	ADC 倍率調整器 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADGN[2:0]</th> <th>Gain</th> <th>ADGN[2:0]</th> <th>Gain</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>x1/4</td> <td>100</td> <td>x4</td> </tr> <tr> <td>001</td> <td>x1/2</td> <td>101</td> <td>x8</td> </tr> <tr> <td>010</td> <td>x1</td> <td>110</td> <td>x16</td> </tr> <tr> <td>011</td> <td>x2</td> <td>111</td> <td>x16</td> </tr> </tbody> </table>	ADGN[2:0]	Gain	ADGN[2:0]	Gain	000	x1/4	100	x4	001	x1/2	101	x8	010	x1	110	x16	011	x2	111	x16
ADGN[2:0]	Gain	ADGN[2:0]	Gain																			
000	x1/4	100	x4																			
001	x1/2	101	x8																			
010	x1	110	x16																			
011	x2	111	x16																			

AD1CN3 控制暫存器：

位元	名稱	描述
Bit7~6	VRH[1:0]	VR±“+”電壓信號選擇器 <00> VDDA(預設) <01> AI6 <10> AI9 <11> V12_1
Bit5~4	VRL[1 :0]	VR±“-”電壓信號選擇器 <00> VSSA(預設) <01> AI5 <10> AI6 <11> V12_1

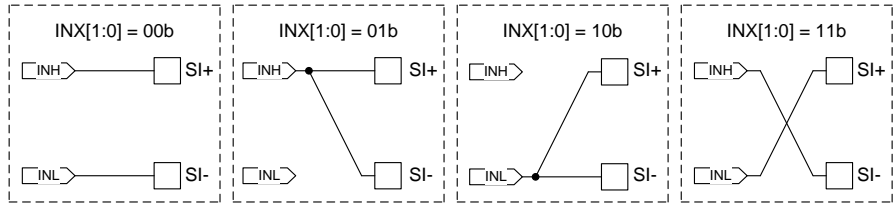
位元	名稱	描述																																				
Bit3~0	DCSET[3 :0]	SI \pm 偏壓調整器 <table border="1"> <thead> <tr> <th>DCSET<3:0></th> <th>Offset</th> <th>DCSET<3:0></th> <th>Offset</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>0</td> <td>1000</td> <td>0</td> </tr> <tr> <td>0001</td> <td>+1/8*(REFP-REFN)</td> <td>1001</td> <td>-1/8*(REFP-REFN)</td> </tr> <tr> <td>0010</td> <td>+2/8*(REFP-REFN)</td> <td>1010</td> <td>-2/8*(REFP-REFN)</td> </tr> <tr> <td>0011</td> <td>+3/8*(REFP-REFN)</td> <td>1011</td> <td>-3/8*(REFP-REFN)</td> </tr> <tr> <td>0100</td> <td>+4/8*(REFP-REFN)</td> <td>1100</td> <td>-4/8*(REFP-REFN)</td> </tr> <tr> <td>0101</td> <td>+5/8*(REFP-REFN)</td> <td>1101</td> <td>-5/8*(REFP-REFN)</td> </tr> <tr> <td>0110</td> <td>+6/8*(REFP-REFN)</td> <td>1110</td> <td>-6/8*(REFP-REFN)</td> </tr> <tr> <td>0111</td> <td>+7/8*(REFP-REFN)</td> <td>1111</td> <td>-7/8*(REFP-REFN)</td> </tr> </tbody> </table>	DCSET<3:0>	Offset	DCSET<3:0>	Offset	0000	0	1000	0	0001	+1/8*(REFP-REFN)	1001	-1/8*(REFP-REFN)	0010	+2/8*(REFP-REFN)	1010	-2/8*(REFP-REFN)	0011	+3/8*(REFP-REFN)	1011	-3/8*(REFP-REFN)	0100	+4/8*(REFP-REFN)	1100	-4/8*(REFP-REFN)	0101	+5/8*(REFP-REFN)	1101	-5/8*(REFP-REFN)	0110	+6/8*(REFP-REFN)	1110	-6/8*(REFP-REFN)	0111	+7/8*(REFP-REFN)	1111	-7/8*(REFP-REFN)
DCSET<3:0>	Offset	DCSET<3:0>	Offset																																			
0000	0	1000	0																																			
0001	+1/8*(REFP-REFN)	1001	-1/8*(REFP-REFN)																																			
0010	+2/8*(REFP-REFN)	1010	-2/8*(REFP-REFN)																																			
0011	+3/8*(REFP-REFN)	1011	-3/8*(REFP-REFN)																																			
0100	+4/8*(REFP-REFN)	1100	-4/8*(REFP-REFN)																																			
0101	+5/8*(REFP-REFN)	1101	-5/8*(REFP-REFN)																																			
0110	+6/8*(REFP-REFN)	1110	-6/8*(REFP-REFN)																																			
0111	+7/8*(REFP-REFN)	1111	-7/8*(REFP-REFN)																																			

AD1CN4 控制暫存器：

位元	名稱	描述																																				
Bit7~4	INP[3:0]	SI \pm “+”輸入信號選擇器 <table border="1"> <thead> <tr> <th>INP<3:0></th> <th>ADC 輸入通道</th> <th>INP<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>VSSA</td> <td>1000</td> <td>AI0</td> </tr> <tr> <td>0001</td> <td>OP2O</td> <td>1001</td> <td>AI2</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>AI4</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>AI6</td> </tr> <tr> <td>0100</td> <td>VDD/10</td> <td>1100</td> <td>AI8</td> </tr> <tr> <td>0101</td> <td>V12_1</td> <td>1101</td> <td>AI9</td> </tr> <tr> <td>0110</td> <td>VDDA</td> <td>1110</td> <td>OP3O</td> </tr> <tr> <td>0111</td> <td>OPO</td> <td>1111</td> <td>OPO2</td> </tr> </tbody> </table>	INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道	0000	VSSA	1000	AI0	0001	OP2O	1001	AI2	0010	TS0	1010	AI4	0011	TS1	1011	AI6	0100	VDD/10	1100	AI8	0101	V12_1	1101	AI9	0110	VDDA	1110	OP3O	0111	OPO	1111	OPO2
INP<3:0>	ADC 輸入通道	INP<3:0>	ADC 輸入通道																																			
0000	VSSA	1000	AI0																																			
0001	OP2O	1001	AI2																																			
0010	TS0	1010	AI4																																			
0011	TS1	1011	AI6																																			
0100	VDD/10	1100	AI8																																			
0101	V12_1	1101	AI9																																			
0110	VDDA	1110	OP3O																																			
0111	OPO	1111	OPO2																																			
Bit3~0	INN[3:0]	SI \pm “-”輸入信號選擇器 <table border="1"> <thead> <tr> <th>INN<3:0></th> <th>ADC 輸入通道</th> <th>INN<3:0></th> <th>ADC 輸入通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>VSSA</td> <td>1000</td> <td>OPO</td> </tr> <tr> <td>0001</td> <td>OP1O</td> <td>1001</td> <td>AI1</td> </tr> <tr> <td>0010</td> <td>TS0</td> <td>1010</td> <td>AI3</td> </tr> <tr> <td>0011</td> <td>TS1</td> <td>1011</td> <td>AI5</td> </tr> <tr> <td>0100</td> <td>DACO</td> <td>1100</td> <td>AI6</td> </tr> <tr> <td>0101</td> <td>V12_1</td> <td>1101</td> <td>AI7</td> </tr> <tr> <td>0110</td> <td>-</td> <td>1110</td> <td>AI10</td> </tr> <tr> <td>0111</td> <td>-</td> <td>1111</td> <td>R_N</td> </tr> </tbody> </table>	INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道	0000	VSSA	1000	OPO	0001	OP1O	1001	AI1	0010	TS0	1010	AI3	0011	TS1	1011	AI5	0100	DACO	1100	AI6	0101	V12_1	1101	AI7	0110	-	1110	AI10	0111	-	1111	R_N
INN<3:0>	ADC 輸入通道	INN<3:0>	ADC 輸入通道																																			
0000	VSSA	1000	OPO																																			
0001	OP1O	1001	AI1																																			
0010	TS0	1010	AI3																																			
0011	TS1	1011	AI5																																			
0100	DACO	1100	AI6																																			
0101	V12_1	1101	AI7																																			
0110	-	1110	AI10																																			
0111	-	1111	R_N																																			

AD1CN5 控制暫存器：

位元	名稱	描述
Bit5	ENTPS	內部 TPS 啟用控制 <0> 關閉(預設) <1> 啟用，需設置相對的 ADC 網路

位元	名稱	描述
Bit4	TPSCH	TPS 輸出反向控制 <0> 正常(預設) <1> 反向
Bit3~2	INX	SI±輸入信號轉置器 <00> INH→SI+,INL→SI-(預設) <01> INH→SI+,INH→SI- & INL 浮接 <10> INL→SI+,INL→SI- & INH 浮接 <11> INL→SI+,INH→SI- INX[1:0] 設定狀態圖解說明如下: 

5.2.6. DACCN1 ~ DACCN4 Register

“.”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition													
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W	
015h	DACCN1	ENAI10	DAPS[1:0]		DANS[1:0]		-	-	-	0000 0000	0000 0000	***** r r r r	
016h	DACCN2	ENOP3	ENOP2	ENOP1	DADCS	DALH	-	-	ENDA	0000 0000	0000 0000	***** r r r r	
017h	DACCN3	-	-	-	-	DABIT[11:8]			-	0000 0000	0000 0000	***** r r r r	
018h	DACCN4	DABIT[7:0]							-	-	0000 0000	0000 0000	***** r r r r

表 5-8 DACCN1 ~ DACCN4 控制暫存器

DACCN1 控制暫存器：

位元	名稱	描述
Bit7	ENAI10	AI10 PAD 開關選擇 <0> OFF(預設), AI10 開關關閉, AI10 為 HiZ 狀態, 無輸入功能 <1> AI10 ON
Bit6~5	DAPS[1:0]	12-bit resistance ladder I 正向輸入源選擇 <00> VDDA(預設) <01> AI0 <10> AI2 <11> AI6
Bit4~3	DANS[1:0]	12-bit resistance ladder I 負向輸入源選擇 <00> VSSA(預設) <01> AI0 <10> AI6 <11> AI9

DACCN2 控制暫存器：

位元	名稱	描述
Bit7	ENOP3	Rail to Rail OPAMP3 啟用控制器

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位元	名稱	描述
		<0> 關閉(預設) <1> 開啟
Bit6	ENOP2	Rail to Rail OPAMP2 啟用控制器 <0> 關閉(預設) <1> 開啟
Bit5	ENOP1	Rail to Rail OPAMP1 啟用控制器 <0> 關閉(預設) <1> 開啟
Bit4	DADCS	12-bit Resistance Ladder I 補償控制器 <0> 不補償(預設) <1> 補償
Bit3	DALH	12-bit Resistance Ladder I 控制輸出至 DACO <0> 關閉(預設) <1> 開啟
Bit0	ENDA	12-bit resistance ladder I 功能開啟控制 <0> 關閉(預設) <1> 開啟

DACCN3 控制暫存器：

位元	名稱	描述
Bit3~0	DABIT[11:8]	12-bit resistance ladder I Bit11~ Bit8 輸出電壓的比例值設定

DACCN4 控制暫存器：

位元	名稱	描述
Bit7~0	DABIT[7:0]	12-bit resistance ladder I Bit7~ Bit0 輸出電壓的比例值設定

5.2.7. DAC2CN1 ~ DAC2CN3 Register

“.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
019h	DAC2CN1	DAPS2[1:0]		DANS2[1:0]		DALH2	-	-	ENDA2	0000 0000	0000 0000	*****
01Ah	DAC2CN2	-	-	-	DADCS2	DABIT2[11:8]			0000 0000	0000 0000	*****	
01Bh	DAC2CN3	DABIT2[7:0]								0000 0000	0000 0000	*****

表 5-9 DAC2CN1 ~ DAC2CN3 控制暫存器

DAC2CN1 控制暫存器：

位元	名稱	描述
Bit7~6	DAPS2[1:0]	12-bit Resistance Ladder II 正向輸入源選擇 <00> VDDA(預設) <01> AI0 <10> AI10 <11> AI6
Bit5~4	DANS2[1:0]	12-bit resistance ladder II 負向輸入源選擇

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位元	名稱	描述
		<00> VSSA(預設) <01> AI0 <10> AI6 <11> AI9
Bit3	DALH2	12-bit resistance ladder II 控制輸出至 DACO2 <0> 關閉(預設) <1> 開啟
Bit0	ENDA2	12-bit resistance ladder II 功能開啟控制 <0> 關閉(預設) <1> 開啟

DAC2CN2 控制暫存器：

位元	名稱	描述
Bit4	DADCS2	12-bit resistance ladder II 補償控制器 <0> 不補償(預設) <1> 補償
Bit3~0	DABIT2[11:8]	12-bit resistance ladder II Bit11~ Bit8 輸出電壓的比例值設定

DAC2CN3 控制暫存器：

位元	名稱	描述
Bit7~0	DABIT2[7:0]	12-bit resistance ladder II Bit7~ Bit0 輸出電壓的比例值設定

5.2.8. OP1NET1 ~ OP1NET3 Register

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
01Ch	OP1NET1	-	-	OP1OS[5:3]			-	-	-	0000 0000	0000 0000	*****
01Dh	OP1NET2	OP1PS[7:1]						-	-	0000 0000	0000 0000	*****
01Eh	OP1NET3	OP1NS[7:0]						-	-	0000 0000	0000 0000	*****

表 5-10 OP1NET1 ~ OP1NET3 控制暫存器

OP1NET1[7:0] Rail to Rail OPAMP1 輸出端開關控制暫存器：

位元	名稱	描述
Bit5	OP1OS[5]	<0> Off(預設) <1> AI8
Bit4	OP1OS[4]	<0> Off(預設) <1> AI6
Bit3	OP1OS[3]	<0> Off(預設) <1> AI4

OP1NET2[7:0] Rail to Rail OPAMP1 正輸入端開關控制暫存器：

位元	名稱	描述
Bit7	OP1PS[7]	<0> Off(預設) <1> AI7

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



位元	名稱	描述
Bit6	OP1PS[6]	<0> Off(預設) <1> AI6
Bit5	OP1PS[5]	<0> Off(預設) <1> AI5
Bit4	OP1PS[4]	<0> Off(預設) <1> AI3
Bit3	OP1PS[3]	<0> Off(預設) <1> AI1
Bit2	OP1PS[2]	<0> Off(預設) <1> V12
Bit1	OP1PS[1]	<0> Off(預設) <1> DACO

OP1NET3[7:0] Rail to Rail OPAMP1 負輸入端開關控制暫存器：

位元	名稱	描述
Bit7	OP1NS[7]	<0> Off(預設) <1> AI9
Bit6	OP1NS[6]	<0> Off(預設) <1> AI8
Bit5	OP1NS[5]	<0> Off(預設) <1> AI7
Bit4	OP1NS[4]	<0> Off(預設) <1> AI5
Bit3	OP1NS[3]	<0> Off(預設) <1> AI3
Bit2	OP1NS[2]	<0> Off(預設) <1> AI1
Bit1	OP1NS[1]	<0> Off(預設) <1> DACO
Bit0	OP1NS[0]	<0> Off(預設) <1> OP1O

5.2.9. OP2NET1 ~ OP2NET3 Register

“-”no use,“*”read/write,“w”write,“r”read,“r0”only read 0,“r1”only read 1,“w0”only write 0,“w1”only write 1 “.”unimplemented bit,“x”unknown,“u”unchanged,“d”depends on condition												
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
01Fh	OP2NET1	-	-	-	-	-	-	-	OP2NS[9:8]	0000 0000	0000 0000	***** r r r r
020h	OP2NET2	OP2NS[7:0]								0000 0000	0000 0000	***** r r r r
021h	OP2NET3	OP2PS[7:0]								0000 0000	0000 0000	***** r r r r

表 5-11 OP2NET1 ~ OP2NET3 控制暫存器

OP2NET1[7:0] Rail to Rail OPAMP2 控制暫存器：

位元	名稱	描述
Bit1	OP2NS[9]	<0> Off(預設) <1> OPO
Bit0	OP2NS[8]	<0> Off(預設) <1> AI9

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC



OP2NET2[7:0] Rail to Rail OPAMP2 負輸入端開關控制暫存器：

位元	名稱	描述
Bit7	OP2NS[7]	<0> Off(預設) <1> AI7
Bit6	OP2NS[6]	<0> Off(預設) <1> AI6
Bit5	OP2NS[5]	<0> Off(預設) <1> AI5
Bit4	OP2NS[4]	<0> Off(預設) <1> AI3
Bit3	OP2NS[3]	<0> Off(預設) <1> AI1
Bit2	OP2NS[2]	<0> Off(預設) <1> DACO2
Bit1	OP2NS[1]	<0> Off(預設) <1> OP2O
Bit0	OP2NS[0]	<0> Off(預設) <1> OP1O

OP2NET3[7:0] Rail to Rail OPAMP2 正輸入端開關控制暫存器：

位元	名稱	描述
Bit7	OP2PS[7]	<0> Off(預設) <1> AI7
Bit6	OP2PS[6]	<0> Off(預設) <1> AI6
Bit5	OP2PS[5]	<0> Off(預設) <1> AI5
Bit4	OP2PS[4]	<0> Off(預設) <1> AI3
Bit3	OP2PS[3]	<0> Off(預設) <1> AI1
Bit2	OP2PS[2]	<0> Off(預設) <1> V12
Bit1	OP2PS[1]	<0> Off(預設) <1> OP1O
Bit0	OP2PS[0]	<0> Off(預設) <1> DACO2

5.2.10. OP3NET1 ~ OP3NET3 Register

“.”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “.”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
022h	OP3NET1	S4	-	S2	-	-	-	-	-	0000 0000	0000 0000	*****
023h	OP3NET2	OP3NS[7:0]								0000 0000	0000 0000	*****
024h	OP3NET3	OP3PS[7:0]								0000 0000	0000 0000	*****

表 5-12 OP3NET1 ~ OP3NET3 控制暫存器

HY3123

Dual 12bit DAC, 3 CH. R2ROP and BIA Module

With High Precision 24-Bit $\Sigma\Delta$ ADC

OP3NET1[7:0] Rail to Rail OPAMP3 控制暫存器：

位元	名稱	描述
Bit7	S4	OP3O 與 OPO2 PAD 之間的連接開關控制 <0> 開路(預設) <1> OPAMP3 輸出端 OP3O 短路到 OPO2 PAD
Bit5	S2	OP2O 與 OPO PAD 之間的連接開關控制 <0> 開路(預設) <1> OPAMP2 輸出端 OP2O 短路到 OPO PAD

OP3NET2[7:0] Rail to Rail OPAMP3 負輸入端開關控制暫存器：

位元	名稱	描述
Bit7	OP3NS[7]	<0> Off(預設) <1> OPO2
Bit6	OP3NS[6]	<0> Off(預設) <1> AI10
Bit5	OP3NS[5]	<0> Off(預設) <1> AI9
Bit4	OP3NS[4]	<0> Off(預設) <1> AI7
Bit3	OP3NS[3]	<0> Off(預設) <1> AI6
Bit2	OP3NS[2]	<0> Off(預設) <1> AI5
Bit1	OP3NS[1]	<0> Off(預設) <1> DACO2
Bit0	OP3NS[0]	<0> Off(預設) <1> OP3O

OP3NET3[7:0] Rail to Rail OPAMP3 正輸入端開關控制暫存器：

位元	名稱	描述
Bit7	OP3PS[7]	<0> Off(預設) <1> DACO
Bit6	OP3PS[6]	<0> Off(預設) <1> AI10
Bit5	OP3PS[5]	<0> Off(預設) <1> AI6
Bit4	OP3PS[4]	<0> Off(預設) <1> AI3
Bit3	OP3PS[3]	<0> Off(預設) <1> AI1
Bit2	OP3PS[2]	<0> Off(預設) <1> V12
Bit1	OP3PS[1]	<0> Off(預設) <1> OP1O

Bit0	OP3PS[0]	<0> Off(預設) <1> DACO2
------	----------	--------------------------

5.2.11. HAOTRIM Register

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W
02Bh	HAOTRIM	-	HAOTR[6:0]							0100 0000	UUUU UUUU	*****

表 5-14 HAOTRIM 控制暫存器

HAOTRIM[7:0] HAO 頻率調整控制暫存器：

位元	名稱	描述
Bit6~0	HAOTR[6:0]	HAO 頻率中心調整控制器 <0000000>可調整上限 . <1000000>中心點 0.0% . <1111111>可調整下限 Trim LSB ~ 0.5%

5.2.12. HAOTCTL Register

“-”no use, “*”read/write, “w”write, “r”read, “r0”only read 0, “r1”only read 1, “w0”only write 0, “w1”only write 1
 “. ”unimplemented bit, “x”unknown, “u”unchanged, “d”depends on condition

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	ARST	IIC RST	R/W	
03Dh	TST	RSV.									UUUU UUUU	UUUU UUUU	*****
03Eh	HAOTCTL	ENHAO	HAOM1	HAOM0	-	-	-	-	TRIMON	1000 0u00	1000 0x00	*****	

表 5-15 HAOTCTL 控制暫存器

TST[7:0] Reserved Byte：

位元	名稱	描述
Bit7~0	TST[7:0]	Reserved. 請勿變更數值. 預設值 0x00.

HAOTCTL[7:0] 頻率控制器控制暫存器：

位元	名稱	描述
Bit7	ENHAO	HAO 啟動控制位元 <1> 啟動內部高速 HAO 震盪器(預設) <0> 關閉內部高速 HAO 震盪器
Bit6~5	HAOM[1:0]	HAO 頻率控制位元 <00> 2MHz HAO(預設) <01> 4MHz HAO <10> 8MHz HAO <11> Reserved
Bit0	TRIMON	HAO 校正值寫入保護控制位元 <0>解除保護狀態，可以更新 HAOTRIM :HAOTR[6:0]數值。 <1>保護狀態。該狀態下 HAOTRIM: HAOTR[6:0]數值無法修改。

6. 電氣特性

6.1. ABSOLUTE MAXIMUM RATINGS

Absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Voltage applied at VDD to VSS	-0.2 V to 6.0 V
Voltage applied to any pin	-0.2 V to VDD + 0.3 V
Diode current at any device terminal	±2 mA
Storage temperature	-55°C to 150°C
Operation temperature	-40°C to 85°C
Total power dissipation.	0.5w
Maximum output current sink by CLKOUT pin	20mA

6.2. Recommended operating conditions

T_A = -40°C ~ 85°C, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V _{DD}	Supply Voltage	All digital peripherals	2.2		5.5	V
V _{DDA}	Supply Voltage	Analog peripherals	2.2		3.6	
V _{SS}	Supply Voltage		0		0	

6.3. Internal RC Oscillator

T_A = 25°C, V_{DD} = 3.0V, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
HAO	High Speed Oscillator frequency	2MHz Mode, HAOM[1:0]=00b	1.65	1.95	2.25	MHz
		4MHz Mode, HAOM[1:0]=01b	3.45	4.0	4.56	MHz
		8MHz Mode, HAOM[1:0]=10b	7.57	8.5	9.16	MHz
	HAO Trim Range[6:0]			64	LSB	
	2MHz HAO Trim LSB			0.345	%	
	4MHz HAO Trim LSB			0.3	%	
	8MHz HAO Trim LSB			0.21	%	

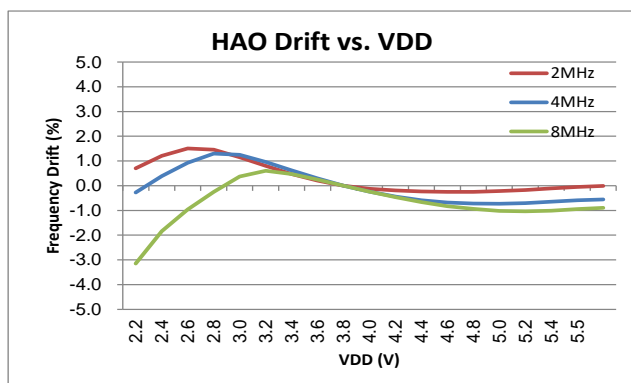


Figure 6.3-1 HAO vs. VDD

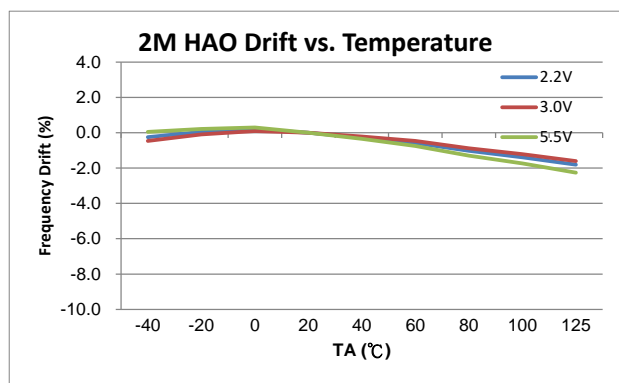


Figure 6.3-2 HAO(2.0MHz) vs. Temperature

HY3123
Dual 12bit DAC, 3 CH. R2ROP and BIA Module
With High Precision 24-Bit $\Sigma\Delta$ ADC

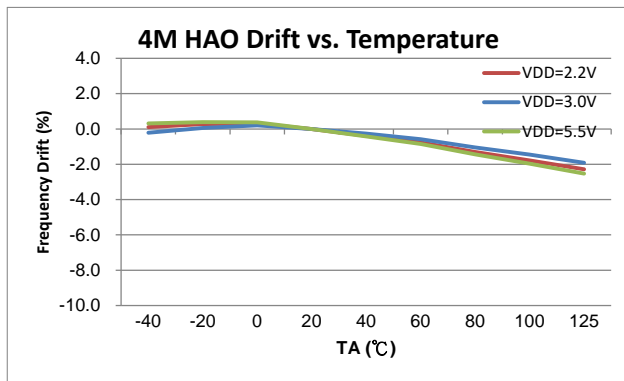


Figure 6.3-3 HAO(4.0MHz) vs. Temperature

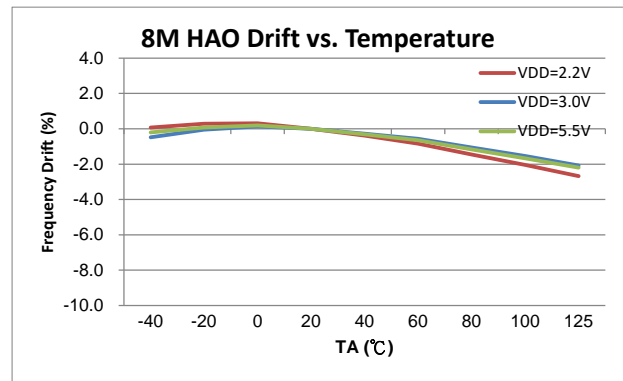


Figure 6.3-4 HAO(8.0MHz) vs. Temperature

6.4. Supply current into VDD excluding peripherals current

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{LP3}	Low Power 3	HAO = off, All IP Off, Sleep state		0.3	1.0	μA

HAO : Internal High Accuracy Oscillator frequency.

$T_A = 25^\circ\text{C}, V_{DD} = 5.5\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{LP3}	Low Power 3	HAO = off, All IP Off, Sleep state		0.5	2	μA

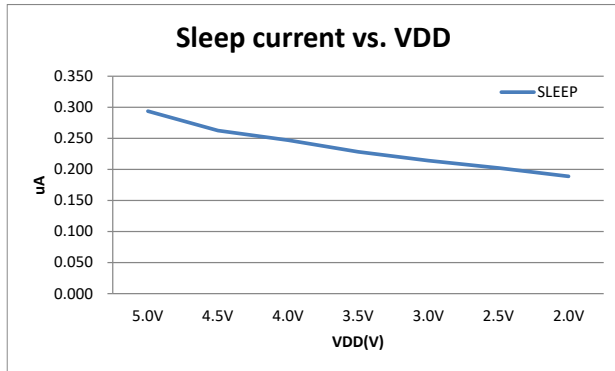


Figure 6.4-1 I_{LP3} vs. VDD

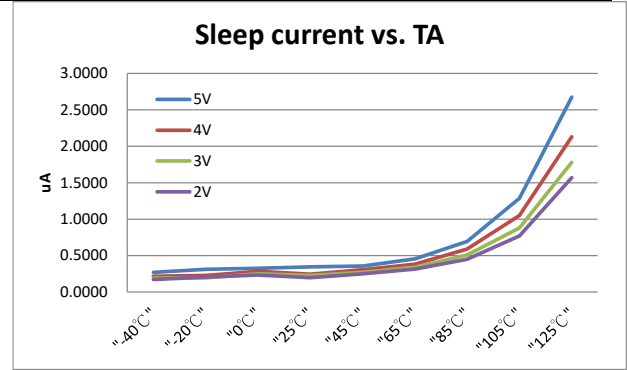


Figure 6.4-2 I_{LP3} vs. Temperature

6.5. GPIO PORT CLKOUT/IRQ/AI9

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Analog Input						
I_{LKG}	Leakage Current				0.1	μA
R_{PU}	Port pull high resistance		351	390	429	$\text{k}\Omega$
Output voltage and current and frequency						
V_{OH}	High-level output voltage	$V_{DD} < 4\text{V}, I_{OH} = 10\text{mA}$,	$V_{DD} - 0.3$			V
		$V_{DD} \geq 4\text{V}, I_{OH} = 15\text{mA}$,	$V_{DD} - 0.4$			
V_{OL}	Low-level output voltage	$V_{DD} < 4\text{V}, I_{OL} = -10\text{mA}$			$V_{SS} + 0.3$	
		$V_{DD} \geq 4\text{V}, I_{OL} = -15\text{mA}$			$V_{SS} + 0.4$	

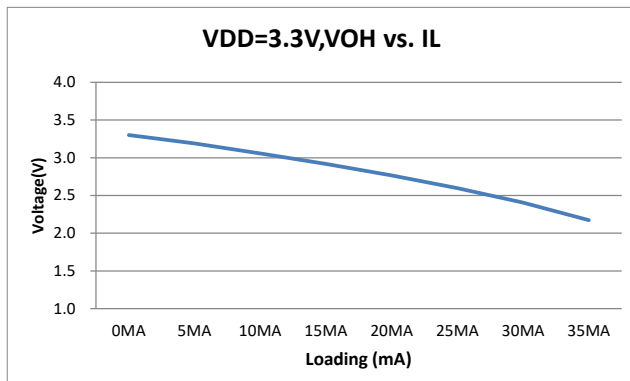


Figure 6.5-1 V_{OH} vs. I_{OH}

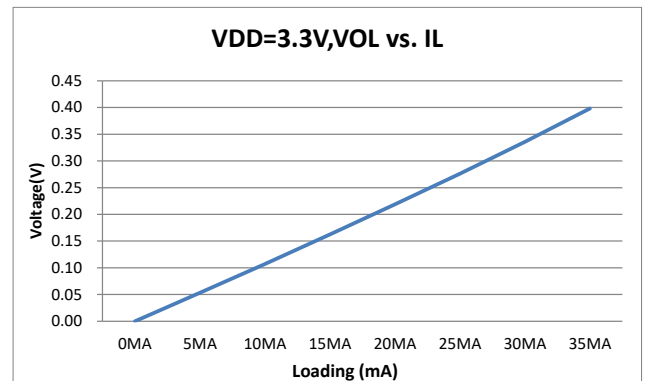


Figure 6.5-2 V_{OL} vs. I_{OL}

6.6. Brownout Reset (BOR)

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
BOR	Pulse length needed to accepted reset internally, t_{d-LVR}		2			μS
	V_{DD} Start Voltage to accepted reset internally (L \rightarrow H), V_{LVR}	$T_A = 25^\circ\text{C}$	1.5	1.65	1.8	V
	V_{DD} Start Voltage to accepted reset internally (L \rightarrow H), V_{LVR}	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	1.45		1.85	V
	Current consumption	$V_{DD}=3.3\text{V}$		0.3		μA
		$V_{DD}=5.5\text{V}$		0.5		μA

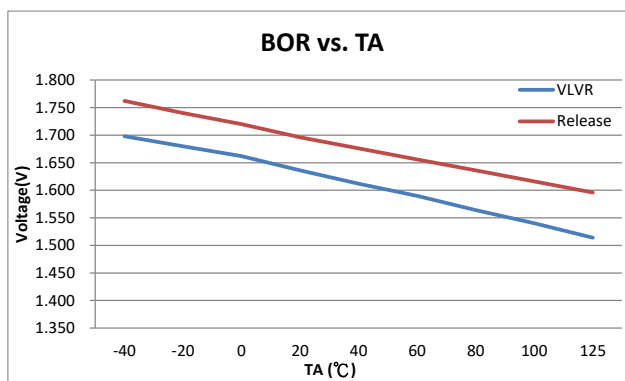


Figure6.6-1 BOR vs. Temperature

6.7. Power System

T_A = 25°C, VDD = 3.0V, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	
VDDA	VDDA operation current, I _{VDDA}	I _L = 0mA LDOC[2:0]=000b		20		uA	
	Select VDDA output voltage	I _L = 0.1mA, VDD ≥ VDDA+0.25V	LDOC [2:0]=000b	2.28	2.4	2.52	V
			LDOC [2:0]=001b	2.47	2.6	2.73	V
			LDOC [2:0]=010b	2.755	2.9	3.045	V
			LDOC [2:0]=011b	3.135	3.3	3.465	V
			LDOC [2:0]=100b	3.42	3.6	3.78	V
			LDOC [2:0]=101b	2.19	2.3	2.42	V
			LDOC [2:0]=110b	2.14	2.25	2.36	V
	LDOC [2:0]=111b	2.09	2.2	2.31	V		
Dropout voltage	I _L = 10mA	LDOC [2:0]=000b		400		mV	
Temperature drift	LDOC [2:0]=000b I _L = 10uA	T _A =-40°C ~85°C		50		ppm/°C	
V _{DD} Voltage drift	LDOC [2:0]=000b	V _{DD} =VDDA+0.25V~5.5V		±0.2		%/V	
REFO	REFO operation current, I _{REFO}			50		uA	
	output voltage, V _{REFO}	VDDA=2.4V, ENV12=1b	I _L = 0mA,	1.14	1.2	1.26	V
			I _L = 0.2mA (include ESD resistance)	0.94		0.96	V _{REFO}
	Temperature drift		T _A =-40°C ~85°C		50		ppm/°C
V _{DDA} Voltage drift				100		uV/V	
ACM	ACM operation current, I _{ACM}	VDDA=2.4V, ENADC[0]=1b, ENACM=1b			50	uA	
	Internal Analog Common Mode Voltage, V _{ACM} =1.2V or V _{ACM} VDDA/2		VCMS=0b, I _L = 0uA		VDDA/2		V
			VCMS=1b, I _L = 0uA	1.14	1.2	1.26	V
Temperature drift		T _A =-40°C ~85°C, ENACM [0]=1b		50		ppm/°C	

VDDA : Adjust Voltage Regulator,

ACM : Internal Analog Common Mode Voltage VDDA/2 (No voltage output) or 1.2V

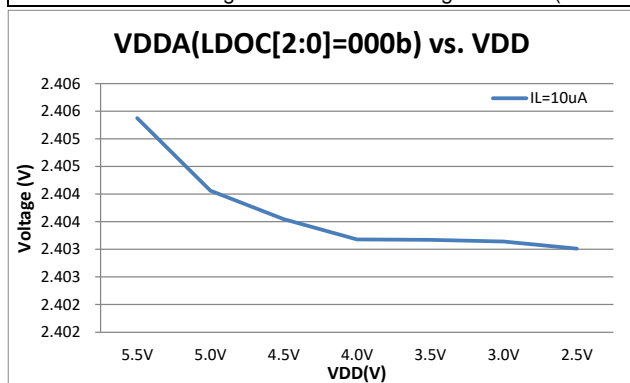


Figure 6.7-1 VDDA(000b) vs. VDD

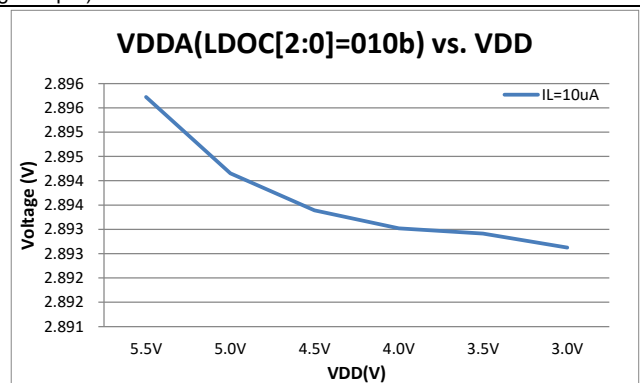


Figure 6.7-2 VDDA(010b) vs. VDD

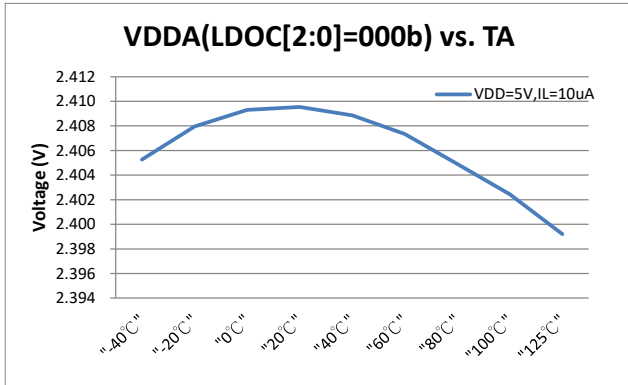


Figure 6.7-3 VDDA(000b) vs. Temperature

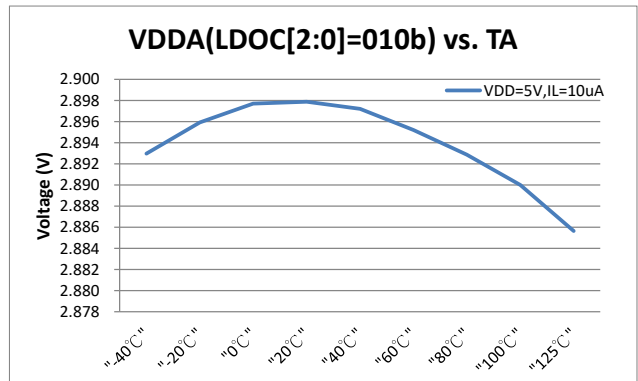


Figure 6.7-4 VDDA(010b) vs. Temperature

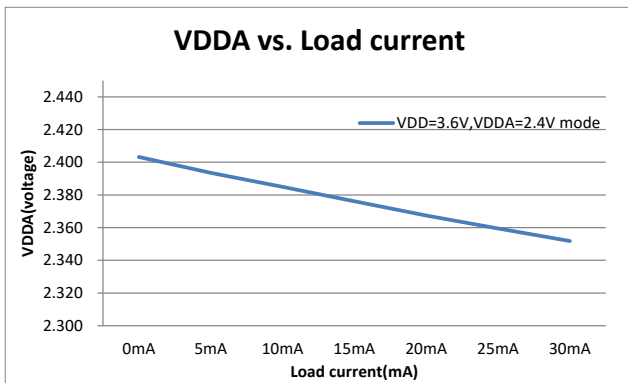


Figure 6.7-5 VDDA vs. Load current

6.8. ΣΔADC, Power Supply and recommended operating conditions

T_A = 25°C, V_{DD} = 3.0V, V_DD_A=2.4V, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V _{SD18}	Supply Voltage at V _D D _A	ENV _D D _A [0]=0	2.2		3.6	V
f _{SD18}	Modulator sample frequency, ADC_CK			1000		KHz
	Over Sample Ratio, OSR		64		65536	
I _{SD18}	Operation supply current without PGA	EN _A D _C [0]=1 GAIN =16, ADC_CK=1MHz		260		uA

6.8.1. ΣΔADC, performance

T_A = 25°C, V_{DD} = 3.0V, V_DD_A=2.4V, V_VR=1.0V, GAIN=1 without PGA, f_{SD18}=1MHz, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
INL	Integral Nonlinearity(INL)	V _D D _A =2.4V, V _V R=1.0V, ΔSI=±200mV		±0.003	±0.01	%FSR
		V _D D _A =2.4V, V _V R=1.0V, ΔSI=±450mV				
	No Missing Codes ³	ADC_CK=1MHz, OSR=64000	23			Bits
G _{SD18}	Temperature drift Gain x16	T _A = -40°C ~ 85°C,		10		ppm/°C
Eos	Offset error of Full Scale Rang input voltage range with Chopper	ΔAI=0V ΔVR=1.2V DCSET[3:0]=<0000> *ΔAI is external short	Gain=2		1	%FSR
				GAIN=1	0.004	
	GAIN=2		0.003			
	GAIN=4		0.003			
Offset error temperature drift with chopper	GAIN=16	0.002				
	Common-mode rejection	V _{CM} =0.7V to 1.7V, V _V R=1.0V	V _{SI} =0V, GAIN=1	90		dB
	V _{CM} =0.7V to 1.7V, V _V R=1.0V	V _{SI} =0V, GAIN=16	75			
PSRR	DC power supply rejection	V _D D _A =3.0V, ΔV _D D _A =±100 mV, V _V R=1.0V, V _{SI} =1.2V, V _{SI} =1.2V,	GAIN=1 PGA=off	75		dB

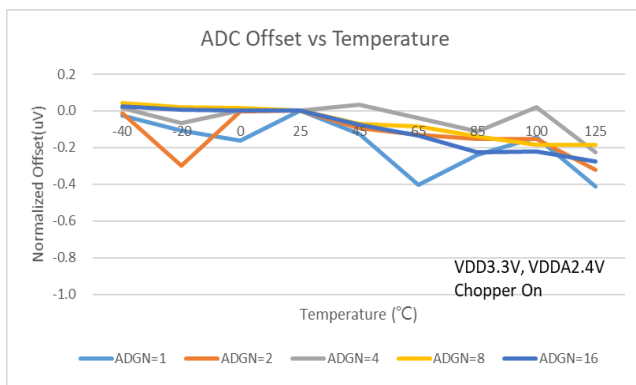


Figure 6.8-1 ADC Offset drift with Temperature

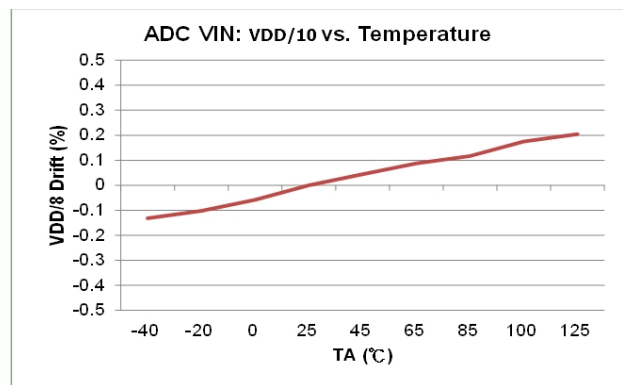


Figure 6.8-2 VDD/10 drift with Temperature

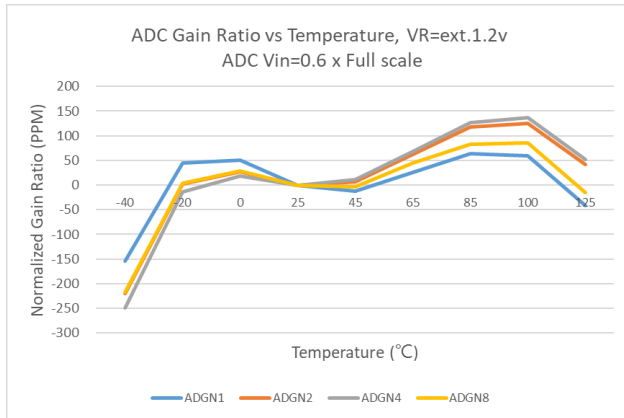


Figure 6.8-3 ADC Gain drift with Temperature

6.8.2. ΣΔADC Noise Performance

T_A = 25°C, V_{DD} = 3.0V, V_DDA=2.4V, unless otherwise noted

針對 ΣΔADC 提供了重要的輸入雜訊規格。下表列出典型的雜訊規格表與 Gain, Output rate, 及單端最大輸入電壓等關係。測試條件設定在外部輸入訊號短路。參考電壓為 1.2V。取樣 1024 筆資料。

ENOB(RMS) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter																	
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000	
	Output rate(Hz)				31250	15625	8000	4000	2000	1000	500	250	125	63	31	16	
	Gain	=	PGAG N	x													ADGN
±2160	0.25	=	off	x	0.25	10.4	12.2	13.48	15.21	15.79	16.26	16.59	17.14	17.98	18.56	18.98	19.6
±2160	0.5	=	off	x	0.5	10.4	12.21	13.63	15.29	15.81	16.45	17.03	17.49	17.97	18.36	18.98	19.41
±1080	1	=	off	x	1	10.44	12.11	14.14	15.29	15.87	16.36	16.99	17.56	18.01	18.47	18.87	19.41
±540	2	=	off	x	2	10.39	12.18	13.57	15.21	15.9	16.46	16.98	17.47	17.93	18.41	18.86	19.41
±270	4	=	off	x	4	10.38	12.16	13.29	15.22	15.74	16.29	16.88	17.35	17.85	18.33	18.91	19.26
±135	8	=	off	x	8	10.42	12.09	13.49	15.1	15.63	16.19	16.81	17.28	17.86	18.28	18.72	19.09
±68	16	=	off	x	16	10.33	12	13.92	15.01	15.58	16.11	16.68	17.11	17.59	18.14	18.55	19

(1) Max. Vin(mV) is the max. input voltage single end to ground(VSS)

ENOB(RMS) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter, Chopper On																	
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000	
	Output rate(Hz)				15625	7813	4000	2000	1000	500	250	125	63	31	16	8	
	Gain	=	PGAG N	x													ADGN
±2160	0.25	=	off	x	0.25	10.89	12.7	14.2	15.88	16.39	16.74	16.83	17.63	18.5	19.07	19.5	20.04
±2160	0.5	=	off	x	0.5	10.8	12.65	14.21	15.66	16.25	16.93	17.38	17.92	18.47	19.01	19.48	20
±1080	1	=	off	x	1	10.85	12.69	14.07	15.66	16.43	16.95	17.49	17.88	18.48	19.04	19.35	20.01
±540	2	=	off	x	2	10.87	12.73	14.2	15.88	16.45	16.85	17.41	18.04	18.41	18.94	19.36	19.91
±270	4	=	off	x	4	10.92	12.72	14.11	15.69	16.2	16.93	17.41	17.95	18.37	18.86	19.46	19.87
±135	8	=	off	x	8	10.85	12.68	14.04	15.52	16.01	16.66	17.39	17.83	18.31	18.8	19.29	19.73
±68	16	=	off	x	16	10.81	12.53	13.88	15.48	16.1	16.63	17.1	17.68	18.06	18.52	19.14	19.48

(1) Max. Vin(mV) is the max. input voltage single end to ground(VSS)

Table6.8-4 ΣΔADC ENOB Table

RMS(uV) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter																	
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000	
	Output rate(Hz)				31250	15625	8000	4000	2000	1000	500	250	125	63	31	16	
	Gain	=	PGAG N	x													ADGN
±2160	0.25	=	off	x	0.25	7167.72	2052.62	846.32	255.25	170.77	122.81	97.90	66.85	37.35	25.06	18.76	12.19
±2160	0.5	=	off	x	0.5	3585.84	1019.28	380.01	120.90	84.36	53.83	36.00	26.22	18.85	14.33	9.37	6.94
±1080	1	=	off	x	1	1735.51	547.67	133.84	60.37	40.41	28.69	18.53	12.51	9.17	6.64	5.03	3.47
±540	2	=	off	x	2	900.82	259.54	99.46	31.89	19.82	13.37	9.36	6.67	4.85	3.47	2.53	1.73
±270	4	=	off	x	4	453.79	131.66	60.29	15.78	11.03	7.53	4.99	3.61	2.56	1.83	1.22	0.96
±135	8	=	off	x	8	219.94	69.37	26.29	8.58	5.94	4.03	2.64	1.90	1.27	0.95	0.70	0.54
±68	16	=	off	x	16	117.26	36.75	9.75	4.59	3.08	2.14	1.44	1.07	0.76	0.52	0.39	0.29

(1) Max. Vin(mV) is the max. input voltage single end to ground(VSS)

RMS(uV) with OSR/GAIN at A/D Clock=1MHz, VDD=3.3V, VDDA=2.4V, Vin=VSSA-VSSA, VREF=(VDDA-VSS)/2=1.2V, 2nd comb filter, Chopper On																	
Max. Vin(mV) =0.9VREF ⁽¹⁾	OSR				32	64	125	250	500	1000	2000	4000	8000	16000	32000	64000	
	Output rate(Hz)				15625	7813	4000	2000	1000	500	250	125	63	31	16	8	
	Gain	=	PGAG N	x													ADGN
±2160	0.25	=	off	x	0.25	5078.12	1456.73	515.21	159.79	112.25	88.58	83.03	47.74	25.99	17.59	12.99	8.96
±2160	0.5	=	off	x	0.5	2710.97	751.58	255.16	93.61	61.88	38.69	28.29	19.52	13.28	9.18	6.59	4.59
±1080	1	=	off	x	1	1306.67	365.13	140.05	46.81	27.27	19.14	13.14	9.99	6.62	4.48	3.62	2.30
±540	2	=	off	x	2	647.24	178.25	64.25	22.97	13.50	10.24	6.96	4.49	3.46	2.41	1.79	1.23
±270	4	=	off	x	4	312.62	89.41	34.05	11.41	8.04	4.85	3.46	2.38	1.79	1.27	0.84	0.63
±135	8	=	off	x	8	163.64	45.95	17.88	6.44	4.57	2.91	1.76	1.30	0.93	0.66	0.47	0.35
±68	16	=	off	x	16	83.87	25.55	10.02	3.31	2.14	1.49	1.07	0.72	0.55	0.40	0.26	0.21

Table6.8-5 ΣΔADC RMS Noise Table

The RMS noise are referred to the input. The Effective Number of Bits (ENOB(RMS Bit)) is defined as:

$$ENOB(RMS) = \frac{\ln\left(\frac{FSR}{RMS\ Noise}\right)}{\ln(2)}$$

$$RMS\ Noise = \frac{\left(2 \times VREF \times \sqrt{\sum_{k=1}^{1024} (ADO[k] - Average)^2}\right)}{2^{23}}$$

Where FSR (Full - Scale Range) = $2 \times VREF/Gain$.

$$\text{Average} = \frac{\sum_{k=1}^{1024} (ADO[k])}{1024}$$

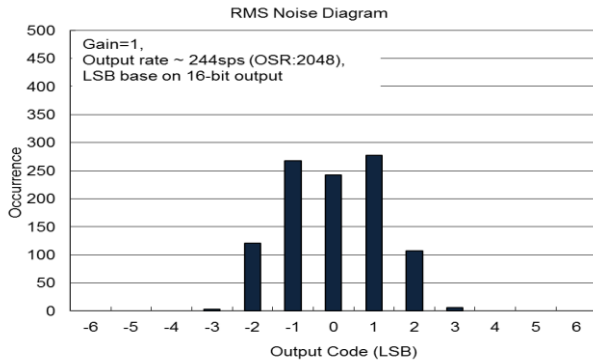


Figure 6.8-1 RMS Noise Diagram

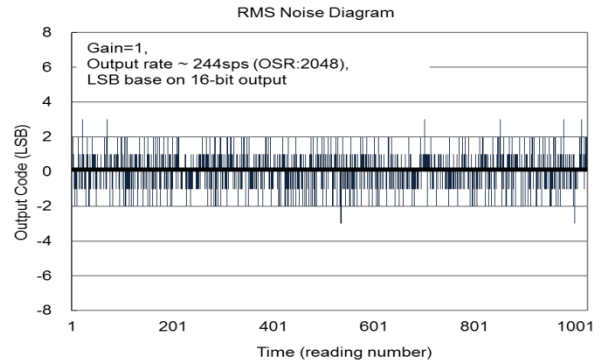


Figure 6.8-2 Output Code Diagram

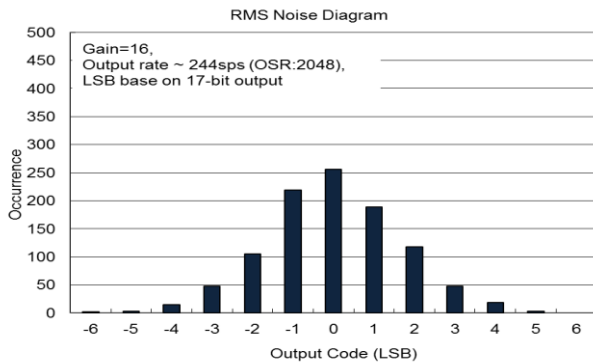


Figure 6.8-3 RMS Noise Diagram

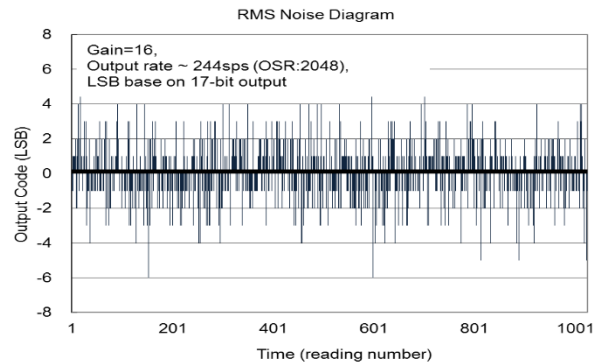


Figure 6.8-4 Output Code Diagram

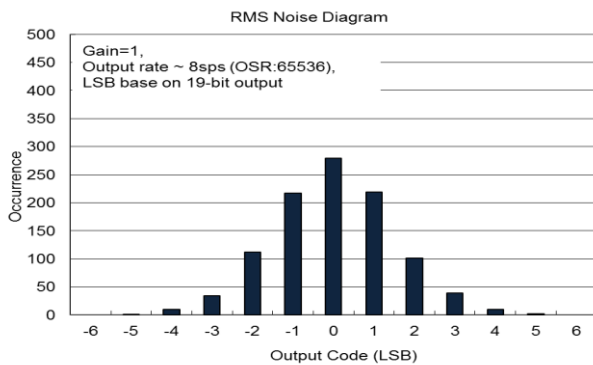


Figure 6.8-5 RMS Noise Diagram

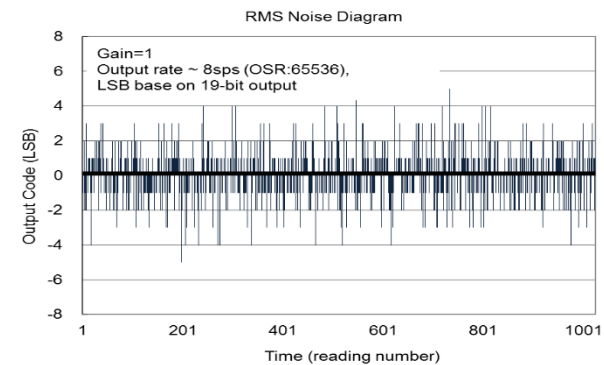


Figure 6.8-6 Output Code Diagram

HY3123

Dual 12bit DAC, 3 CH. R2ROP and BIA Module

With High Precision 24-Bit $\Sigma\Delta$ ADC

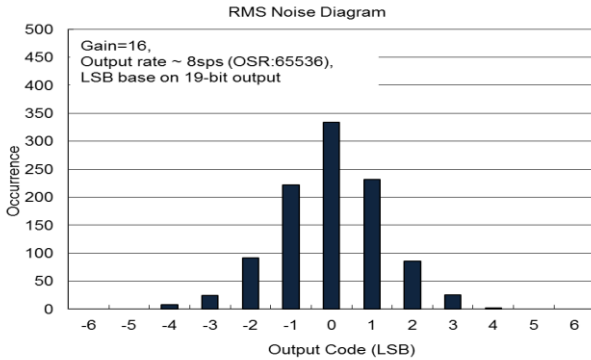


Figure 6.8-7 RMS Noise Diagram

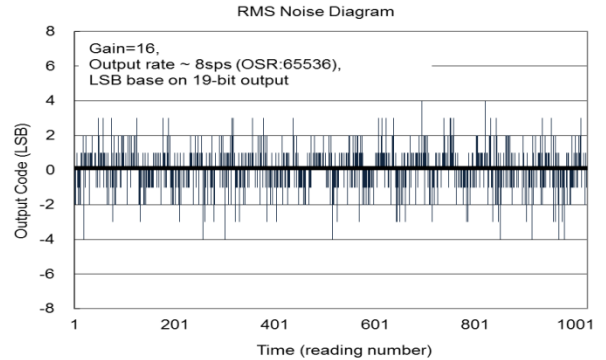


Figure 6.8-8 Output Code Diagram

6.8.3. $\Sigma\Delta$ ADC Temperature Sensor

$T_A = 25^\circ\text{C}$, $V_{DD} = 3.0\text{V}$, $V_{DDA} = 2.4\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
TC _S	Sensor temperature drift			173		$\mu\text{V}/^\circ\text{C}$
KT	Absolute Temperature Scale 0°K			-272		$^\circ\text{C}$
TC _{ERR}	One point calibrate error temperature	Calibration at 25°C of $-40^\circ\text{C} \sim 85^\circ\text{C}$		± 2		$^\circ\text{C}$

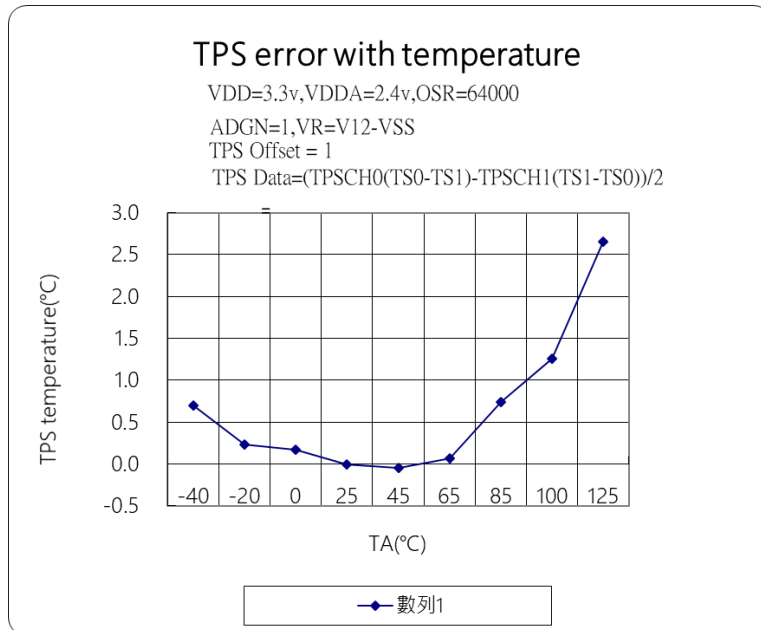


Figure 6.8-9 TPS Temperature Error

6.9. Rail to Rail OPAMP1 、OPAMP2 、OPAMP3

$T_A = 25^\circ\text{C}, V_{DD3V} = 3.0\text{V}, V_{DDA}=2.4\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
VDDA	Power supply		2.2		3.6	V
V _{OUT}	Output range		0		VDDA	V
V _{IN}	Input common range		0		VDDA	V
I _{OPA}	OPAMP current			360		uA
I _{OPA_LOAD}	Output current loading (push or pull)	VDDA = 3.0V, 0.3V < Output voltage < VDDA-0.3V			1	mA
		VDDA = 2.4V, 0.3V < Output voltage < VDDA-0.3V			0.5	mA
C _{LOAD}	Max output capacitor load				1	nF
SR	Slew rate	Loading R=10K, C=100pF, 0.3V → VDDA-0.3V		0.6		V/uS
UGB	Unit gain bandwidth	Loading C=100pF		1000		KHz
V _{OS}	Offset error	V _{in} = 1.2V	-5		+5	mV
DFD	Digital filter delay	VDDA = 3.0V		2		uS
C _{SA}	Sample capacitor			10		pF

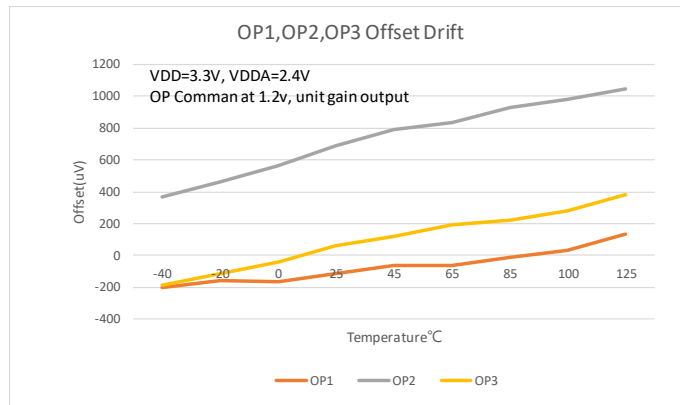
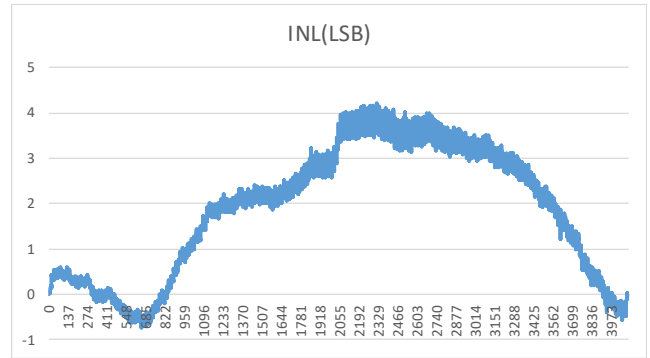
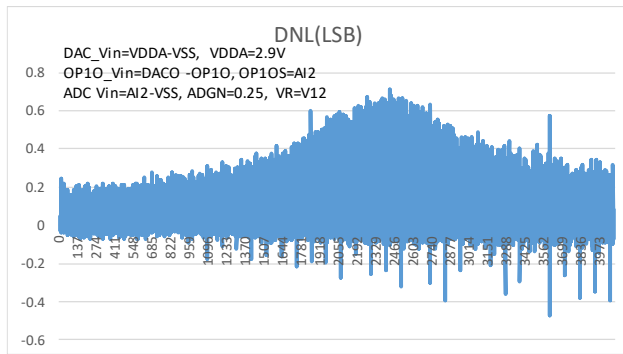


Figure6.9-1 R2ROPAMP Offset Temperature

6.10. 12-Bit Resistor Ladder

Typical values are at $T_A=25^\circ\text{C}$ and $V_{DD} = 3.0\text{V}$. Unless otherwise noted.

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
	Resolution	Monotonic		12		Bit
	Power Supply		2.2		VDDA	V
	Operation current			50		μA
V_{OUT}	Output range	Output is between Vrefp and Vrefn	0		VDDA	V
V_{REFP}	Positive reference voltage range	$V_{REFP} > V_{REFN}$	0		VDDA	V
V_{REFN}	Negative reference voltage range		0		VDDA	V
R_{LADDER}	One LSB resistance ladder			200		Ω
INL	Integral linearity error	$V_{refp} = 2.4\text{V}, V_{refn} = 0\text{V}$		± 3	± 6	LSB
DNL	Differential linearity error	$V_{refp} = 2.4\text{V}, V_{refn} = 0\text{V}$		± 1	± 2	LSB
E_{OS}	Offset error	$V_{refp} = 2.4\text{V}, V_{refn} = 0\text{V}$			1	LSB



6.11. BIA Module

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
IAM1	Active mode 1	HAO =8.5MHz, CPU_CK =8.5MHz VDDA=2.4V、ENADC、ENACM ADC_CK=8.5M/8 SinWave=50K Vpp=200mV		1840		μA

HAO : Internal High Accuracy Oscillator frequency.

$T_A = 25^\circ\text{C}, V_{DD} = 3.0\text{V}$, unless otherwise noted

Sym.	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Err1	S.D/Average	(10K//1nF)//10K SinWave=5K Vpp=200mV			0.1	CV
Err2		(10K//1nF)//10K SinWave=10K Vpp=200mV			0.1	CV
Err3		(100K//1nF)//100K SinWave=5K Vpp=200mV			0.1	CV
Err4		(100K//1nF)//100K SinWave=10K Vpp=200mV			0.1	CV

S.D : standard deviation

7. I²C 通訊協議

- 支援 ADC IRQ 向量(CLKOUT PIN)
- f_{SCL}=400KHz
- 從機地址定義為 0xA0h

晶片地址固定在 0xA0 即是 device address[6:0] = 1010000b。

通訊方式採用彈性的 I²C 的架構，使用時可規劃成 ADC 轉換完畢後具有 IRQ 通知或無 IRQ 通知以達到不同的應用方式。當通訊協議設置在無 IRQ 模式，對於 ADC 轉換完成的讀取時間必須由使用者自行計算，使用者可以讀取暫存器 ADCL[ADST]的狀態來判斷 ADC 輸出資料是否已經讀取過；

當通訊協議設置在具 IRQ 模式，則 ADC 轉換完成會有 IRQ 的信號輸出，IRQ 會透過 CLKOUT 或是 SDA 腳位來輸出變化，設置在此模式時腳位輸出會處於高電位，待 ADC 轉換完成後會在腳位輸出產生低電位或是低脈衝信號以達到通知用戶的目的。在 IRQ 設定為 SDA 複用輸出時，當 ADC 轉換完成需要觸發 IRQ 中斷時，此時若正在 I²C 通訊中，則 SDA 的輸出狀態會在 I²C Stop 之後才發生。

I²C 支援 General Call Reset 功能，當晶片接收到 Reset 命令時，將會重置控制暫存器，除 HAOTRIM 暫存器與 SRAM 內資料不改變之外，其餘位址資料將回復到 BOR 之後的狀態。相關狀態可參考暫存器章節中的 I²C RST 欄位內容。

保留 07Fh 命令用來切換不同 Bank 區塊使用，當存取波形資料暫存器時需要切換正確 Bank 設定。設定資料為 0 時，存取 Bank 0 區塊資料；設定資料為 1 時，存取 Bank 1 區塊資料。當要存取第 1 點到第 64 點波形資料，使用 Bank 0 空間 080h~0FFh；當要存取第 65 點到第 128 點波形資料，使用 Bank 1 空間 180h~1FFh；

7.1. I²C 通訊時序圖

HY3123 的 I²C 從機端通訊格式說明如下圖所示，其細分為：

- a. 有效資料定義 (Data Validity)
- b. 開始與停止定義 (Start and Stop Definition)
- c. MACK 回應信號定義 (MACK Definition)
- d. IRQ 中斷信號定義 (IRQ Definition)
- e. 波形描述定義 (Wave Definition)
- f. 暫存器的寫入 (Write Register)
- g. 暫存器的讀取 (Read Register)
- h. 重新讀取暫存器 (Reread Register)
- i. 暫存器的寫入與確認 (Write Register then Read Register)
- j. 復位晶片 (General Call Reset)

有效資料定義 (Data Validity Definition)

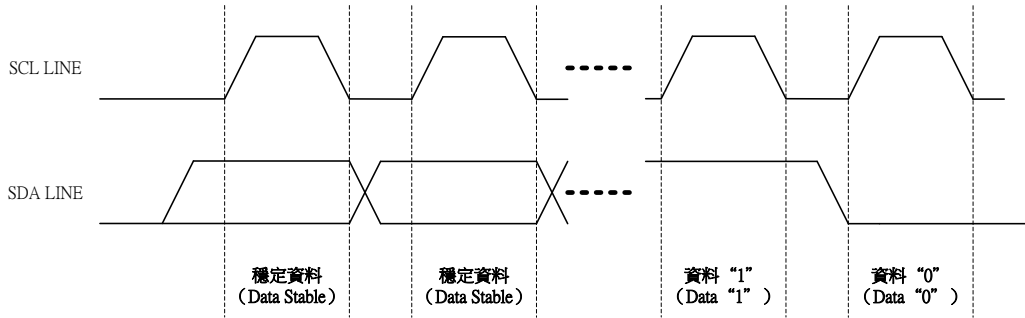


圖 7-1 有效資料波形

開始與停止定義 (Start and Stop Definition)

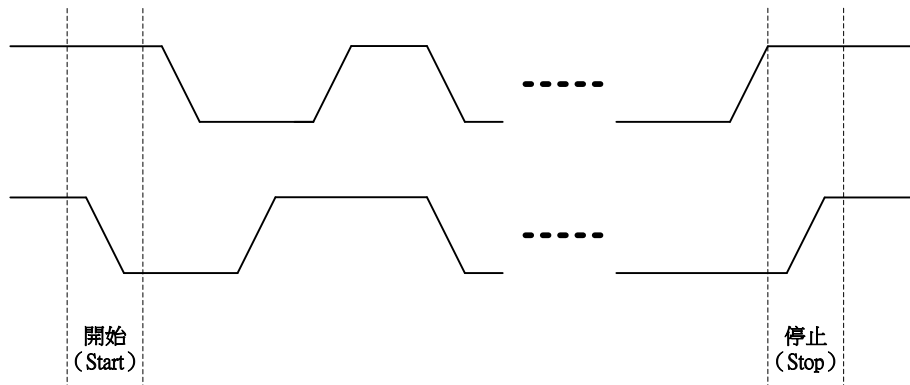
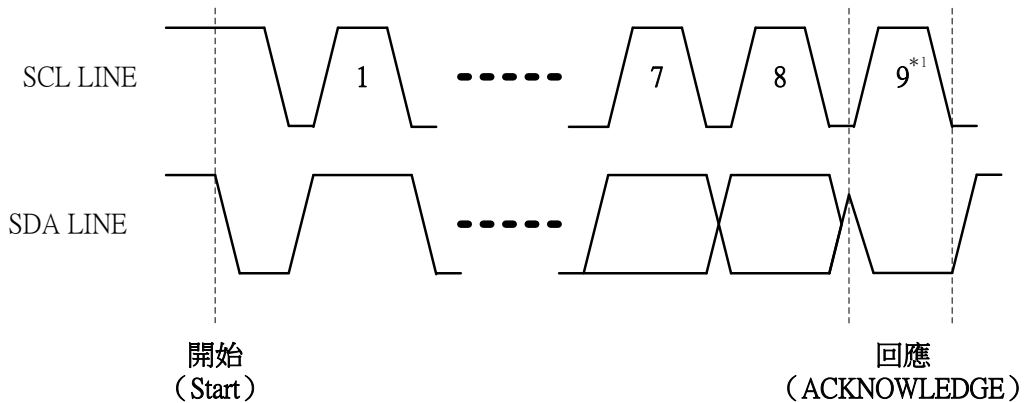


圖 7-2 開始與停止波形

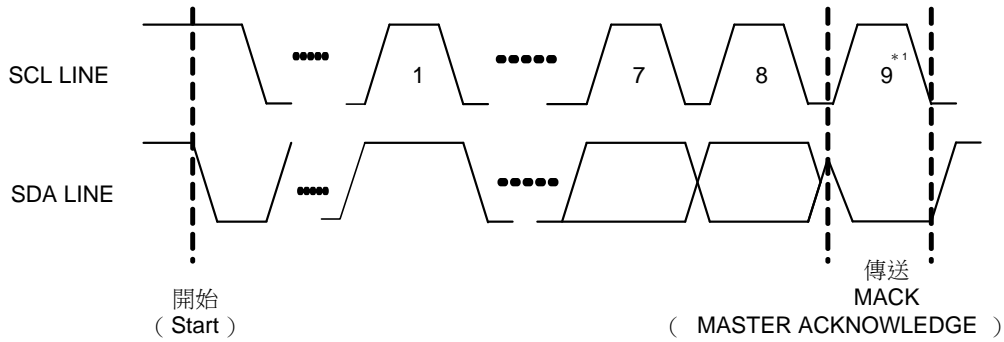
ACK 回應信號定義 (ACK Definition)



*1 主控端 (Master) 向從機端 (Slave) 發送 SCL 信號的至第8個時鐘時，主控端的 SDA 引腳必須由輸出狀態轉為輸入狀態，以接收從機端產生的回應 (ACK) 信號。

圖 7-3 回應信號波形(ACK)

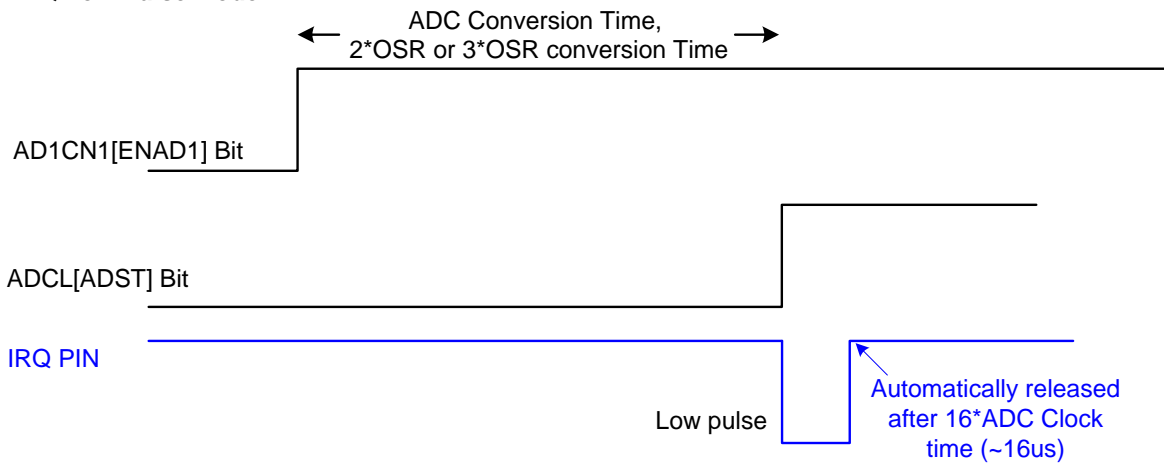
MACK 傳送信號定義 (MACK Definition)



* 1 MACK發生在連續讀取Multi bytes資料輸出時，當第二筆資料要輸出資料前，須在第9個CLOCK上升緣之前，由主控端(Master)控制SDA為輸出引腳，設定輸出為Low(ACK)，通知從機端(Slave)得以繼續輸出第二筆之後的資料。

圖 7-4 連續讀取傳送信號波形 (MACK)

IRQ Low Pulse Mode:



IRQ Low Level Mode:

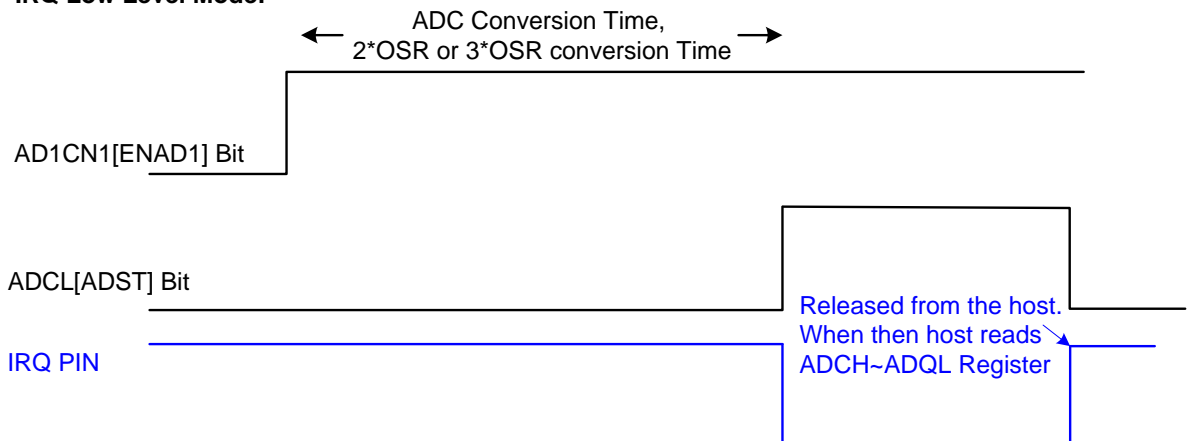


圖 7-5 中斷信號波形(IRQ)

波形描述定義 (Wave Definition)

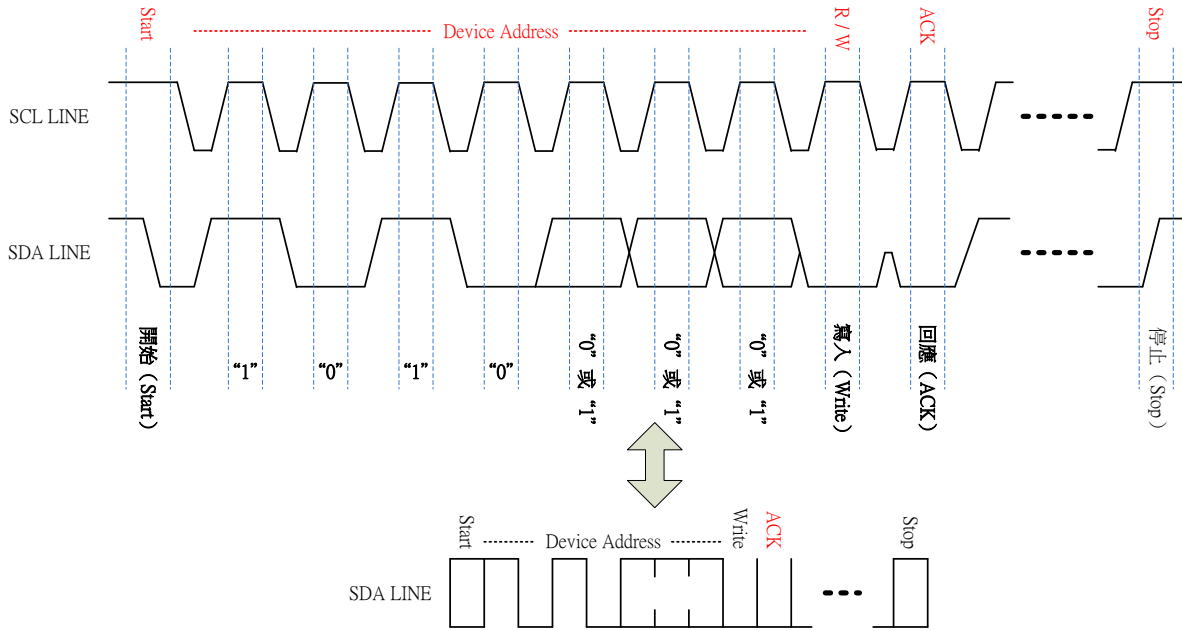
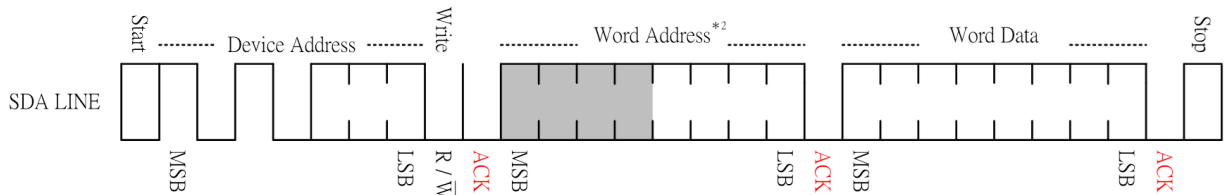


圖 7-6 波形描述定義

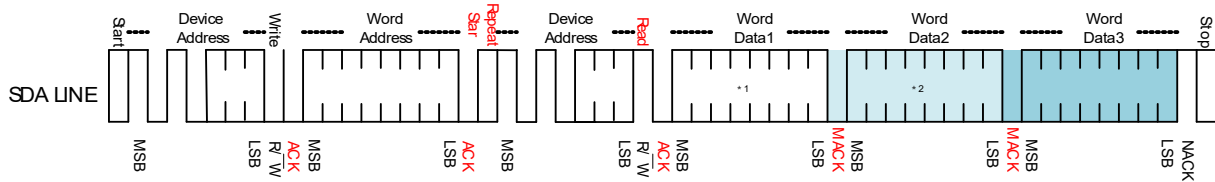
暫存器的寫入 (Write Register)



*2 Word Address: 保留0x7F為切換Bank特殊命令使用；以及使用者避免操作無效Address，將得不到ACK回應，必須先Stop再重新Start才可以繼續通訊。

圖 7-7 暫存器的寫入

暫存器的讀取 (Read Register)

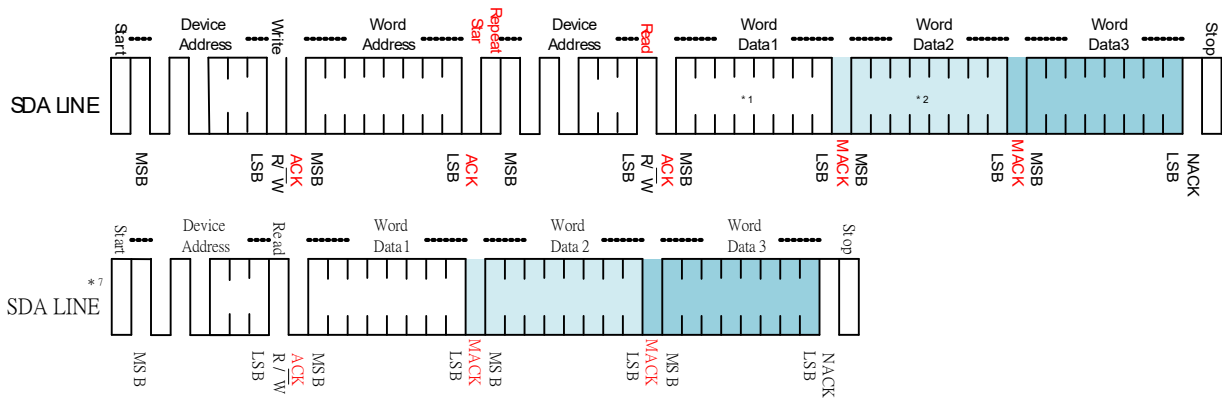


*1 當讀取單一Address資料，傳回的資料只有Word Data1；

*2 若要讀取連續Address資料，如ADCH~ADCL，傳回的資料有Word Data1 + Word Data2+ Word Data3。當需要傳回Data2/Data3資料，則MACK須由主控端設定為Low

圖 7-8 暫存器的讀取

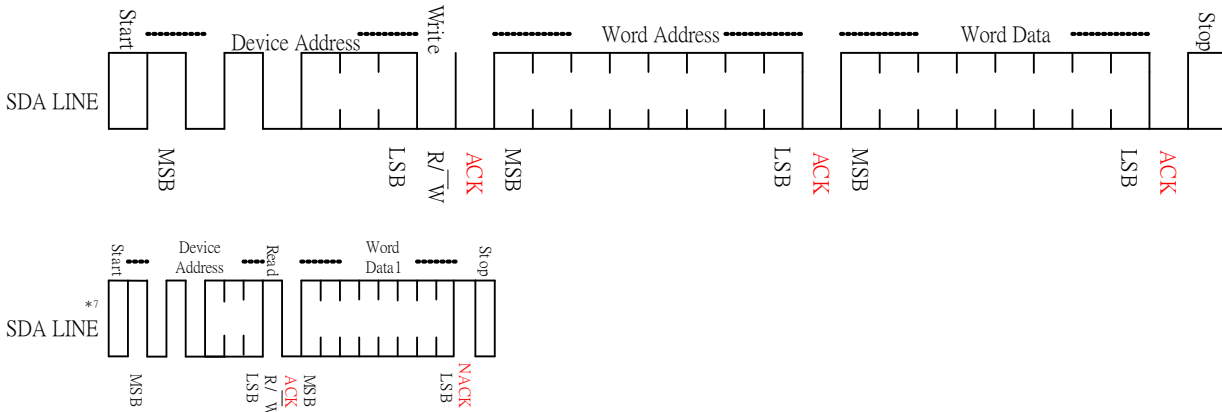
重新讀取暫存器 (Reread Register)



*7 當讀取過指定的 Word Address，再次讀取時無須重新指定 Word Address 即可進行讀取。

圖 7-9 重新讀取暫存器

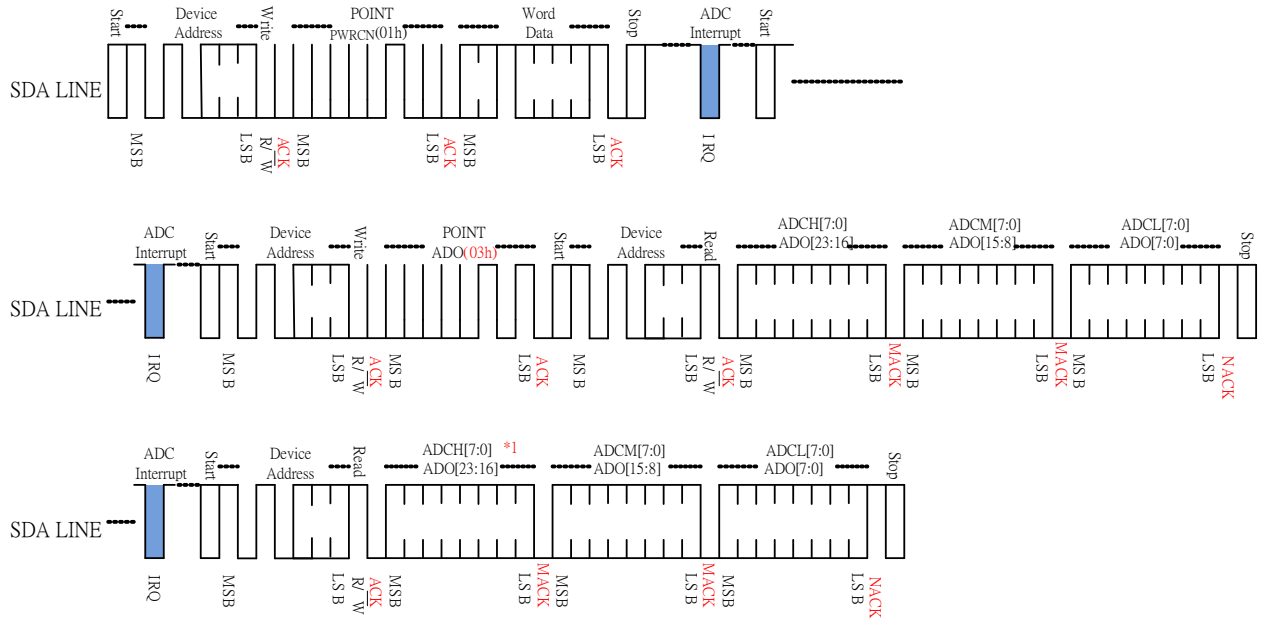
暫存器的寫入與確認 (Write Register then Read Register)



*7 當寫入過指定 Word Address 的 Word Data，接著進行讀取時無須再次指定 Word Address 即可進行讀取。

圖 7-10 暫存器的寫入後重複確認

中斷 IRQ 的 ADC 暫存器讀取 (IRQ Read Register)



*1, 當POINT address為03H=ADCH[7:0], 或是06H=ADIH[7:0]時, 可以支援資料連續讀取功能, 而且當重新讀取時不用重新下POINT Address

圖 7-11 中斷 IRQ 的 ADC 暫存器讀取

復位晶片 (Call Chip Reset)

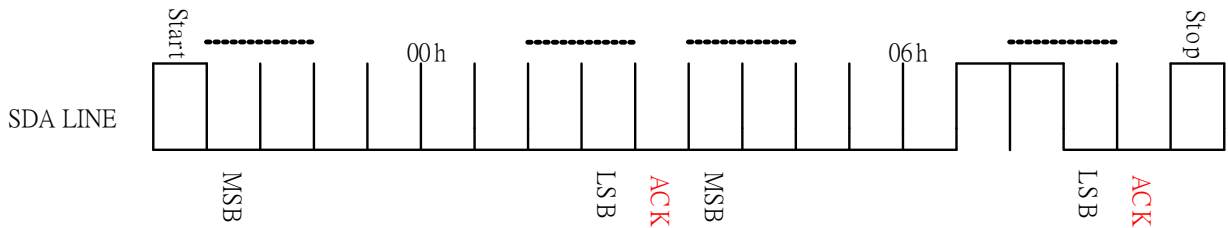


圖 7-12 復位晶片

8. 訂貨資訊

下單品名 1	封裝型式	引腳數	封裝型式		程式碼	出貨包裝形式	個裝數量	材料組成	MSL3
			E	S	編號 2				
HY3123-ES20	SSOP	20	E	S20	000	Tube	58	Green ⁴	MSL-3
HY3123-ES20	SSOP	20	E	S20	000	Tape & Reel	3000	Green ⁴	MSL-3
HY3123-E016	SSOP	16	E	016	000	Tube	100	Green ⁴	MSL-3
HY3123-E016	SSOP	16	E	016	000	Tape & Reel	2500	Green ⁴	MSL-3

¹ 產品名稱 – 封裝型式描述方式 – 程式碼編號 (空白片 / 標準品 / 代客燒錄碼)

例如：您的需求是 HY3123 產品，且需要的是封裝片 SSOP20 出貨，則下單品名為 HY3123-ES20，且需以 Tube 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tube。

例如：您的需求是 HY3123 產品，且需要的是封裝片 SSOP20 出貨，則下單品名為 HY3123-ES20，且需以 Tape & Reel 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tape & Reel。

例如：您的需求是 HY3123 產品，且需要的是封裝片 SSOP16 出貨，則下單品名為 HY3123-E016，且需以 Tube 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tube。

例如：您的需求是 HY3123 產品，且需要的是封裝片 SSOP16 出貨，則下單品名為 HY3123-E016，且需以 Tape & Reel 出貨，則除下單品名外，請特別註明出貨包裝形式為 Tape & Reel。

² 程式碼編號

“001”~“999” 為標準品或代客燒錄申請的程式碼編號，而空白晶片不帶此碼。

³ MSL:

濕度敏感性等級係依據 IPC/JEDEC J-STD-020 的規範加以試驗分級，並參考 IPC/JEDEC J-STD-033 的標準處理、包裝、運輸與使用。

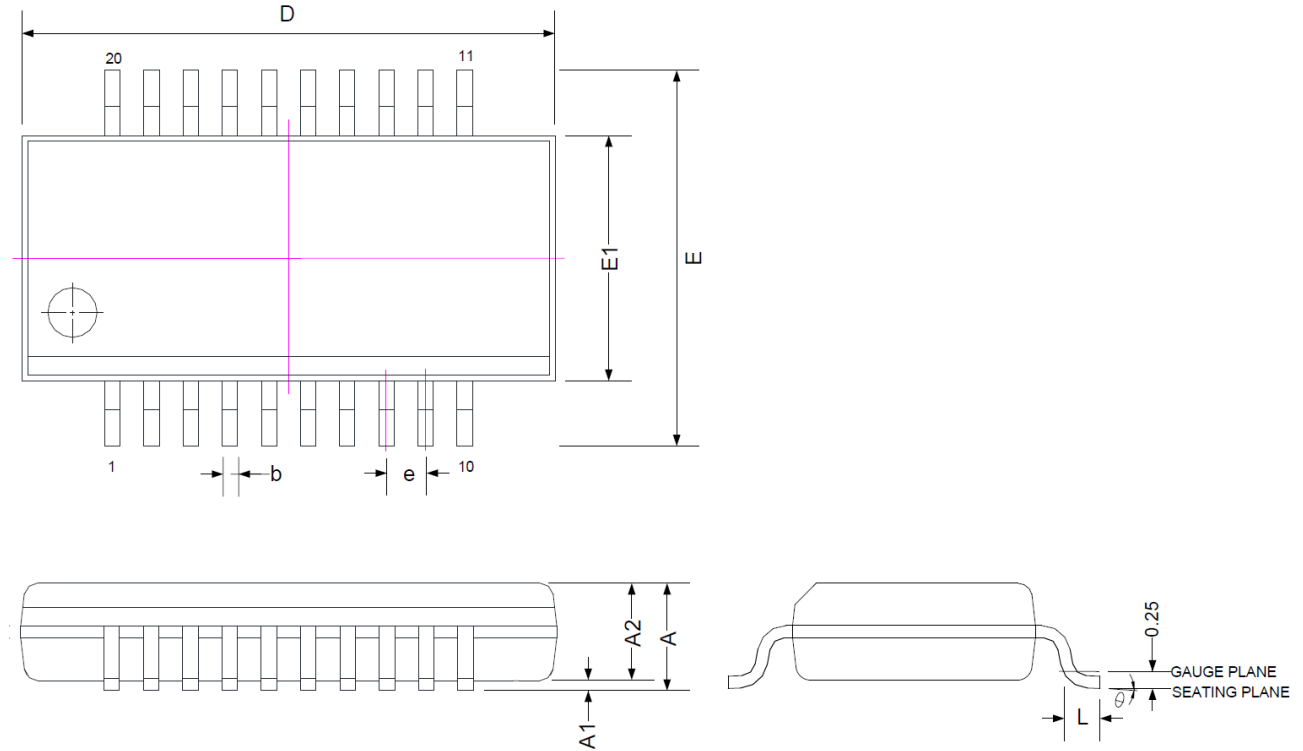
⁴ Green (RoHS & no Cl/Br):

HYCON 產品皆為 Green Product，符合 RoHS 指令，REACH 高關注物質(SVHC)以及無鹵素規定 (Br<900ppm or Cl<900ppm or (Br+Cl)<1500ppm)。

9. 封裝型式資訊

9.1. SSOP20(ES20)

9.1.1. Package Dimensions SSOP20(150mil)



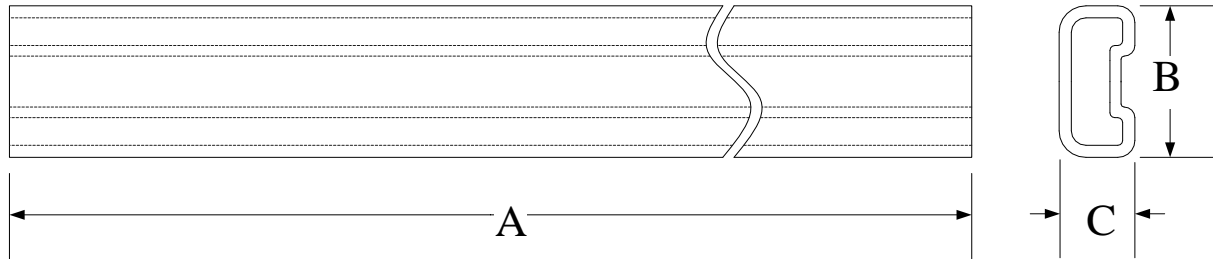
SYMBOLS	MIN	NOM	MAX
A	1.34	1.63	1.75
A1	0.10	0.15	0.25
A2	-	-	1.50
b	0.20	-	0.30
c	0.18	-	0.25
D	8.55	8.66	8.74
E1	3.81	3.91	3.99
E	5.79	5.99	6.20
L	0.41	0.64	1.27
e	0.635 BASIC		
θ°	0	-	8

Note:

1. All dimensions refer to JEDEC OUTLINE MS-137.
2. Do not include Mold Flash or Protrusions.
3. Unit: mm.

9.1.2. Tube Dimensions SSOP20(150mil)

Unit : mm

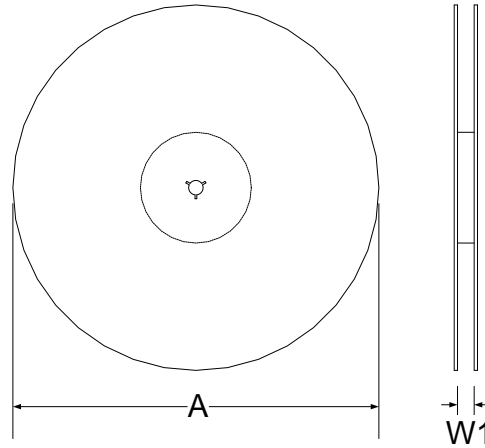


SYMBOLS	A	B	C
Spec.	529.6±1.0	8.001±0.127	3.937±0.127

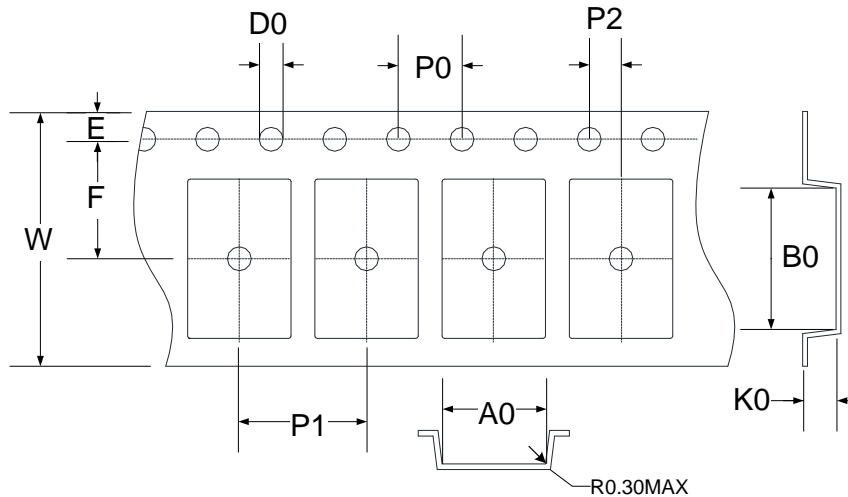
9.1.3. Tape & Reel Information

9.1.3.1. Reel Dimensions

Unit: mm



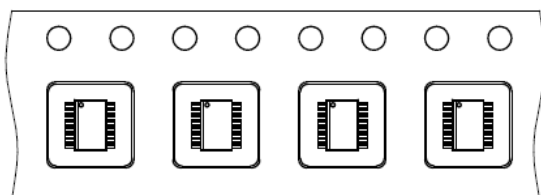
9.1.3.2. Carrier Tape Dimensions



SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	16.5	6.50	9.50	2.10	4.00	8.00	2.00	1.75	7.50	1.50	16.00
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.10	+0.1/-0	±0.30

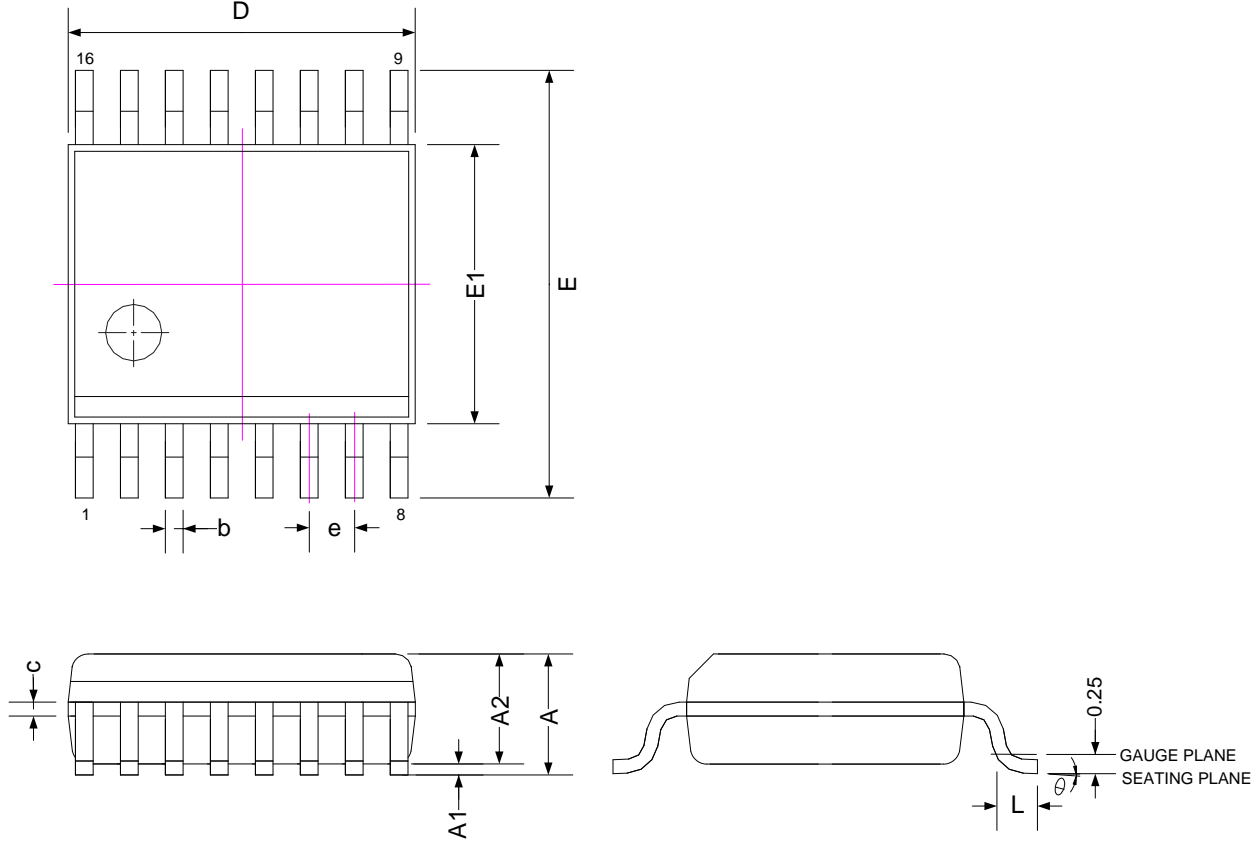
Note: 10 Sprocket hole pitch cumulative tolerance is ±0.20mm.

9.1.3.3. Pin1 direction



9.2. SSOP16(E016)

9.2.1. Package Dimensions SSOP16(150mil)



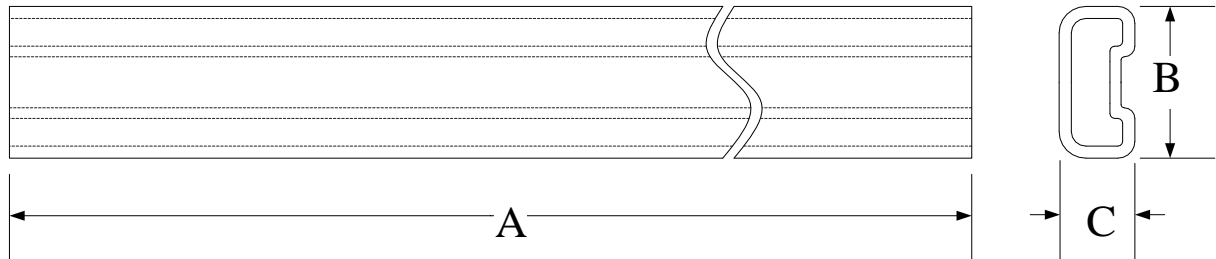
SYMBOLS	MIN	NOM	MAX
A	-	-	1.75
A1	0.10	0.15	0.25
A2	-	-	1.50
b	0.20	-	0.30
c	0.18	-	0.25
D	4.80	4.90	5.00
E1	3.81	3.91	3.99
E	5.79	5.99	6.20
L	0.41	-	1.27
e	0.635 BASIC		
θ°	0	-	8

Note:

1. All dimensions refer to JEDEC OUTLINE MO-137.
2. Do not include Mold Flash or Protrusions.
3. Unit: mm.

9.2.2. Tube Dimensions SSOP16(150mil)

Unit : mm



Type 1:

SYMBOLS	A	B	C
Spec.	521.0±1.0	7.747±0.15	3.810±0.15

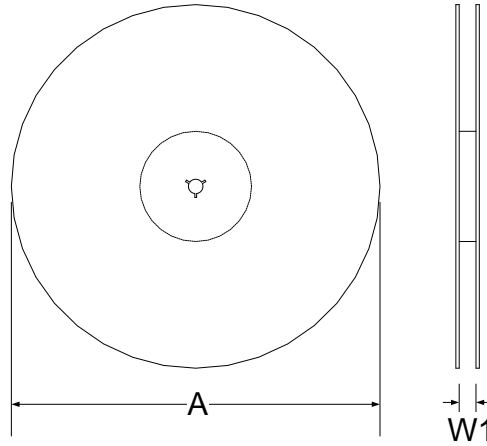
Type 2:

SYMBOLS	A	B	C
Spec.	521.0±1.0	7.874 REF.	3.810 REF.

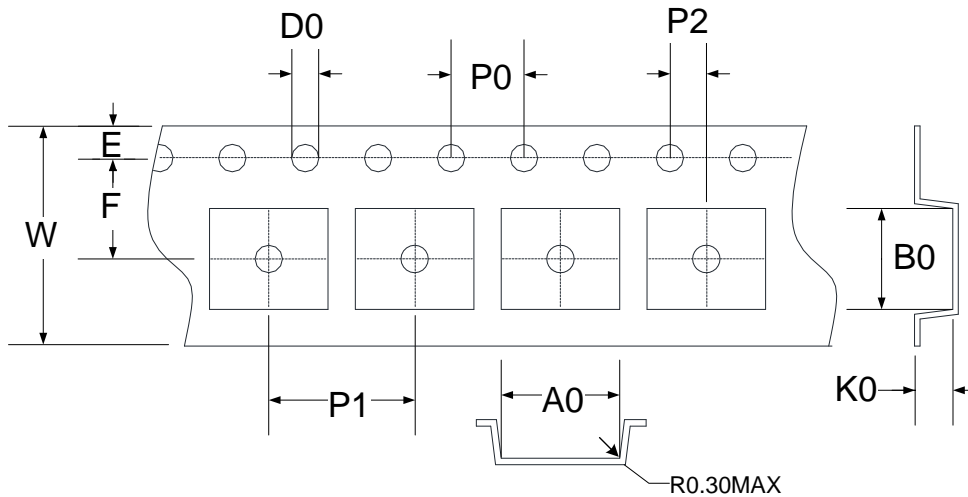
9.2.3. Tape & Reel Information

9.2.3.1. Reel Dimensions-Type1

Unit: mm



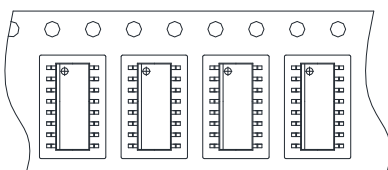
9.2.3.2. Carrier Tape Dimensions



SYMBOLS	Reel Dimensions		Carrier Tape Dimensions									
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W
Spec.	330	12.5	6.90	5.40	2.00	4.00	8.00	2.00	1.75	5.50	1.50	12.00
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0	±0.30

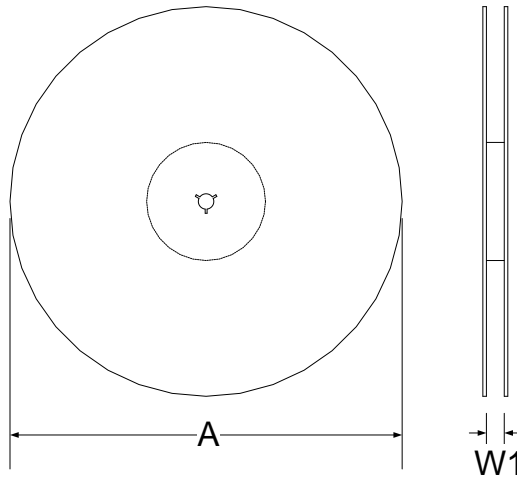
Note: 10 Sprocket hole pitch cumulative tolerance is ± 0.20 mm.
 Unit : mm

9.2.3.3. Pin1 direction

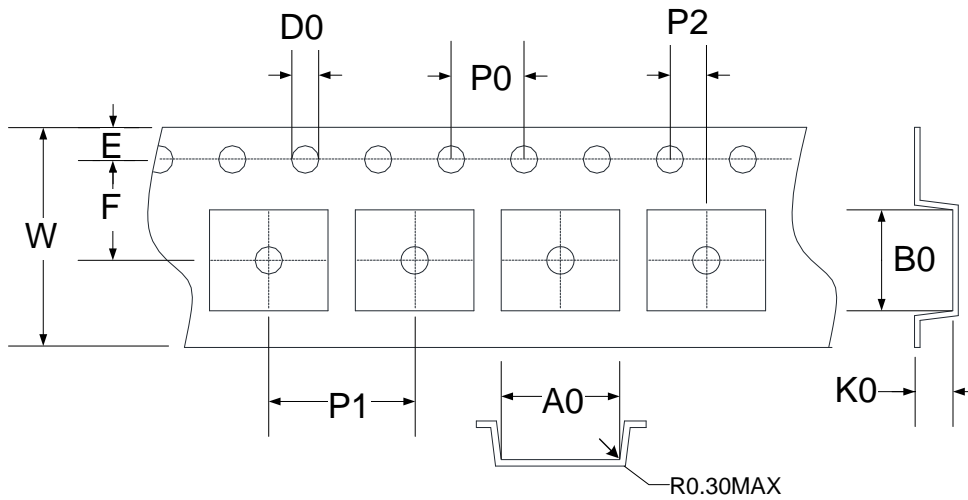


9.2.3.4. Reel Dimensions-Type2

Unit: mm



9.2.3.5. Carrier Tape Dimensions

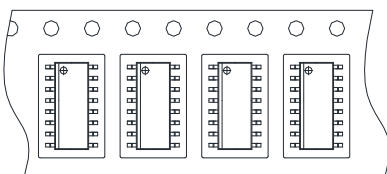


SYMBOLS	Reel Dimensions		Carrier Tape Dimensions										
	A	W1	A0	B0	K0	P0	P1	P2	E	F	D0	W	
Spec.	330	12.5	6.50	5.20	2.10	4.00	8.00	2.00	1.75	5.50	1.50	12.00	
Tolerance	+6/-3	+1.5/-0	±0.10	±0.10	±0.10	±0.10	±0.10	±0.10	±0.05	±0.10	±0.05	+0.1/-0	±0.30

Note: 10 Sprocket hole pitch cumulative tolerance is ±0.20mm.

Unit : mm

9.2.3.6. Pin1 direction



10. 修訂記錄

以下描述本文件差異較大的地方，而標點符號與字形的改變不在此描述範圍。

文件版次	頁次	日期	摘要
V01	All	2019/02/27	初版發行
V02	All	2019/10/16	新增 SSOP20 產品 修正電器規格
V03	19、22	2020/6/22	修改暫存器表格
	18~19		修改 IRQ 的操作說明
	16		修改 ENBGR 說明
	46	2020/7/28	修改 R2ROP 規格
	15、26~31		修正 R2ROP 暫存器名稱
	40	2021/2/1	修改 VDDA、REFO、ACM 的電氣規格
	37		修改 IC 功耗
	56		修改訂貨資訊
V04	All	2022/8/10	修改暫存器說明以符合現況
V05	13、43、50	2023/9/14	修改 NC 引腳描述 Avg/S.D 修正為 S.D/Average HY3123-ES20 出貨包裝形式 Tape & Reel 修改個裝數量為 3000
V06	48	2024/3/6	修正 6.10 章節 INL & DNL 的 Linearity error 規格
	All	2024/4/1	修改 VDDA 電壓範圍為 2.4V~3.6V
V07	All	2024/5/9	新增 3 段 VDDA 電壓分別為 2.2V、2.25V、2.3V、 VDDA 電壓範圍更新為 2.2V~3.6V