



HY3130/HY3131

Datasheet

5,000/50,000 counts DMM Analog Front End

Table of Contents

1. FEATURES	4
2. BLOCK DIAGRAM.....	5
3. PACKAGE AND PIN	6
3.1 Pin Definition	6
3.2 Pin Description.....	7
4. TYPICAL APPLICATION CIRCUIT	9
5. ABSOLUTE MAXIMUM RATINGS	10
6. ELECTRICAL CHARACTERISTICS.....	10
7. DIGITAL INTERFACE	13
7.1 SPI Protocol.....	13
7.2 Description	13
8. REGISTER LIST	14
9. DATA REGISTER.....	16
10. INTERRUPT	16
10.1 INTE : IRQ Enable Register	16
10.2 INTF : IRQ Event Register	16
11. CLOCK SYSTEM.....	18
12. FUNCTION NETWORK	19
12.1 Voltage Reference Generator.....	20
12.2 Analog Switch Network.....	21

12.3 OPAMP And Comparator	23
12.4 Pre-Filter、ADC Input MUX And Temperature Sensor	25
13. ΣADC、LOW PASS FILTER、RMS CONVERTER AND PEAK HOLD.....	27
13.1 High Resolution ADC(AD1)	27
13.2 High Speed ADC(AD2 & AD3)、Low Pass Filter、RMS Converter And Peak Hold.....	28
14. FREQUENCY COUNTER、CNT AND CMP PIN	32
15. REFERENCE DOCUMENTS	34
16. ORDERING INFORMATION	35
17. PACKAGING INFORMATION.....	36
18. REVISION RECORD.....	38

注意：

- 1、本说明书中的内容，随着产品的改进，有可能不经过预告而更改。请客户及时到本公司网站下载更新 <http://www.hycontek.com>。
- 2、本规格书中的图形、应用电路等，因第三方工业所有权引发的问题，本公司不承担其责任。
- 3、本产品单独应用的情况下，本公司保证它的性能、典型应用和功能符合说明书中的条件。当使用在客户的产品或设备中，以上条件我们不作保证，建议客户做充分的评估和测试。
- 4、请注意输入电压、输出电压、负载电流的使用条件，使 IC 内的功耗不超过封装的容许功耗。对于客户在超出说明书中规定额定值使用产品，即使是瞬间的使用，由此所造成的损失，本公司不承担任何责任。
- 5、本产品虽内置防静电保护电路，但请不要施加超过保护电路性能的过大静电。
- 6、本规格书中的产品，未经书面许可，不可使用在要求高可靠性的电路中。例如健康医疗器械、防灾器械、车辆器械、车载器械及航空器械等对人体产生影响的器械或装置，不得作为其部件使用。
- 7、本公司一直致力于提高产品的质量和可靠度，但所有的半导体产品都有一定的失效概率，这些失效概率可能会导致一些人身事故、火灾事故等。当设计产品时，请充分留意冗余设计并采用安全指标，这样可以避免事故的发生。
- 8、本规格书中内容，未经本公司许可，严禁用于其他目的之转载或复制。

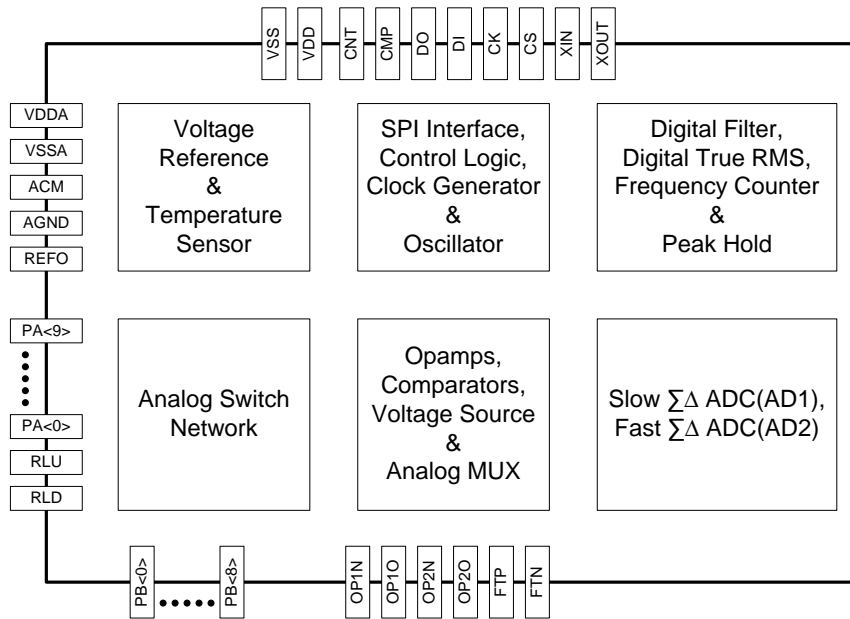
1. Features

- 3.6V 工作电压
- 内建石英振荡电路及 4.9152MHz 工作频率
- 可程序化多功能网络
 - 电压/电阻/电容换档量测
 - 定电压/定电流输出
 - 组件可自我校正
 - 组件正负极性判别
- 多功能比较器
 - 具有迟滞与 latch 功能，可降低 glitch
 - 可程序化设定比较电压
 - 可做为短路测试、频率量测或电容充放电频率量测
- 运算放大器
 - 搭配外部组件可将小信号放大
 - 可程序化成 AC 缓冲器
 - 搭配外部组件可组合成 AC 全波整流线路
- High Resolution $\Sigma\Delta$ ADC (AD1)
 - 5,000/50,000 Counts @ 5Hz Output Rate
 - Zero input, Zero Output
 - High Impedence Input (with input buffer)
- High Speed $\Sigma\Delta$ ADC (AD2 & AD3)
 - 搭配内部的数字电路可组合成 Digital True RMS Converter
 - 搭配内部的数字电路可做为 Peak Hold Measurement
 - 搭配内部的数字电路可做为 Power Measurement(HY3131 only)
- 内置绝对温度传感器
- SPI Interface connect to microprocessor
- 44 Pins & 48 Pins LQFP Package

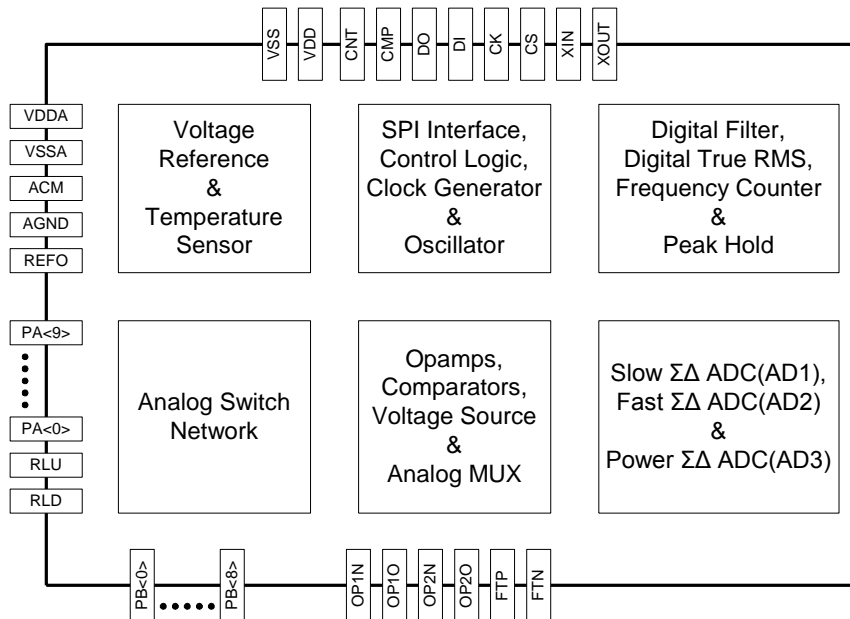
Model No.	PA Network	PB Channel	High Precision ADC	High Speed ADC	OPA	Cap. Array	Digital RMS	Peak Hold	Serial Port	Package
HY3130	10	9	16Bits*1	16Bits*1	2	Yes	Yes	Digital	SPI	LQFP48
HY3131	10	9	24Bits*1	19Bits*2	2	Yes	Yes	Digital	SPI	LQFP48

2. Block Diagram

HY3130:

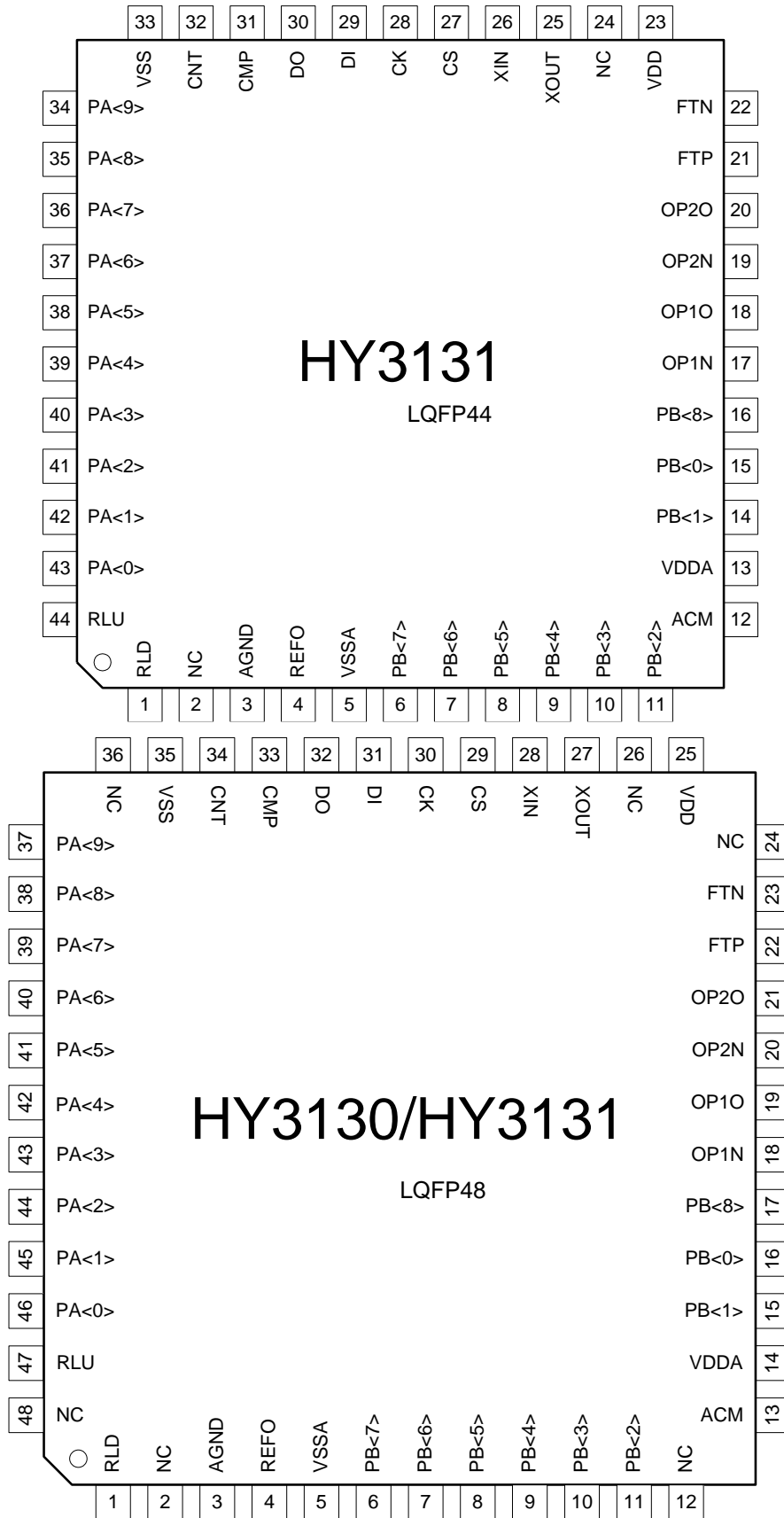


HY3131:



3. Package And Pin

3.1 Pin Definition



3.2 Pin Description

L044:

"I/O" Input/Output, "I" Input, "O" Output, "S" Schmitt Trigger, "C" CMOS, "P" Power, "A" Analog

Pin		Characteristic		Description
No.	Name	I/O	Type	
1	RLD	I/O	A	Analog switch network terminal
2	NC			No Connect
3	AGND	I/O	A	Internal analog circuit command ground pin
4	REFO	I/O	A	Voltage reference terminal
5	VSSA	I	P	Analog power supply ground
6 ~ 11	PB<7> ~ PB<2>	I	A	Analog input terminal
12	ACM ¹	I/O	A	ADC common ground
13	VDDA	I	P	Analog power supply
14 ~ 15	PB<1> ~ PB<0>	I	A	Analog input terminal
16	PB<8>	I	A	Analog input terminal
17	OP1N	I	A	OPAMP(OP1) negative input terminal
18	OP1O	O	A	OPAMP(OP1) output terminal
19	OP2N	I	A	OPAMP(OP2) negative input terminal
20	OP2O	O	A	OPAMP(OP2) output terminal
21 ~ 22	FTP, FTN	I/O	A	Pre-filter capacitor terminal
23	VDD	I	P	Digital power supply
24	NC			No Connect
25 ~ 26	XOUT, XIN	I/O	C	Crystal oscillator terminal
27	CS	I	S	SPI interface chip select
28	CK	I	S	SPI interface clock input
29	DI	I	S	SPI interface data input
30	DO	O	C	SPI interface data output
31	CMP	O	C	Comparator output
32	CNT	I	S	Frequency counter input terminal
33	VSS	I	P	Digital power supply ground
34 ~ 43	PA<9> ~ PA<0>	I/O	A	Analog switch network terminal
44	RLU	I/O	A	Analog switch network terminal

¹ ACM pin 除电容外，不可连接至其他组件

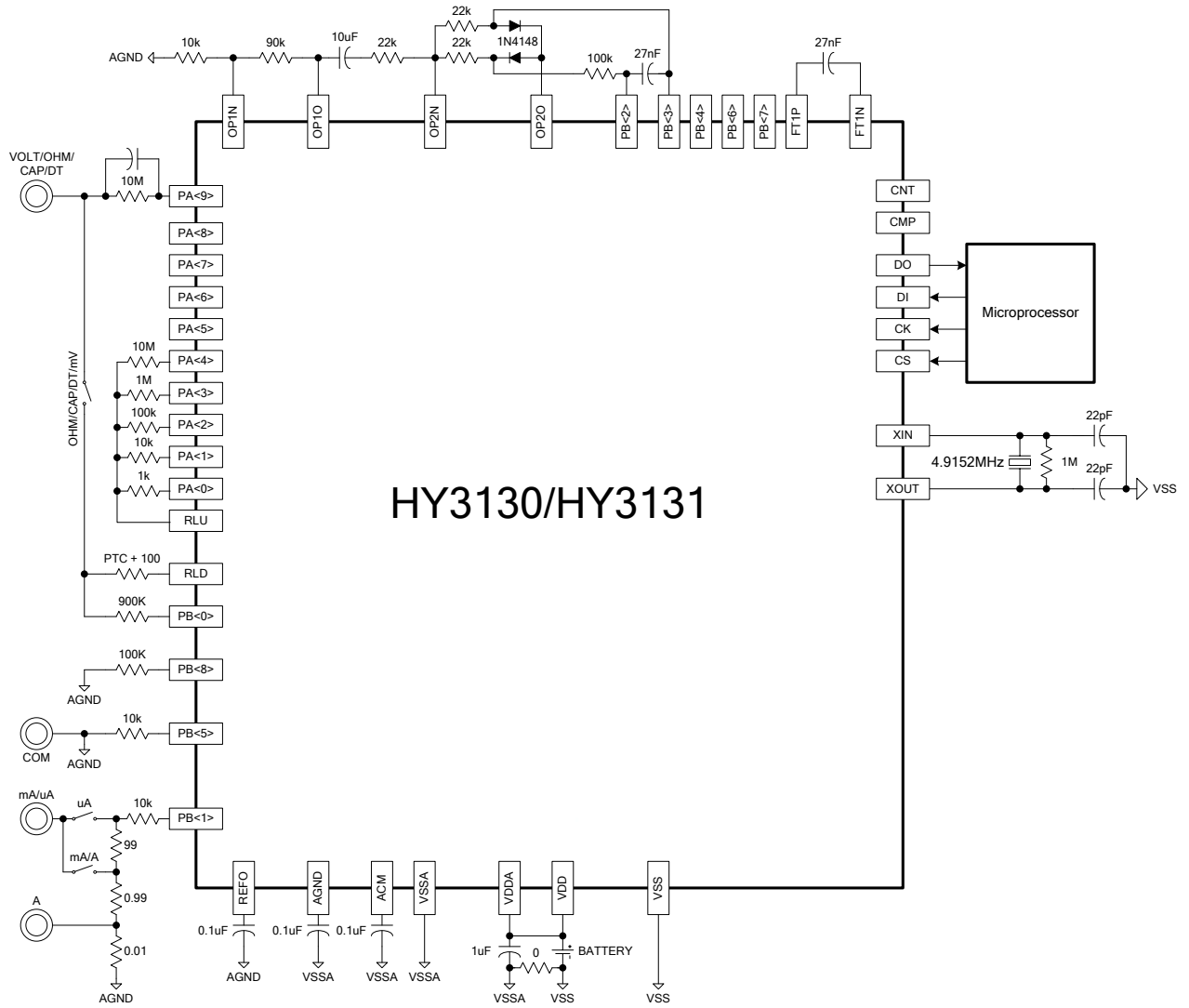
L048

"I/O" Input/Output, "I" Input, "O" Output, "S" Schmitt Trigger, "C" CMOS, "P" Power, "A" Analog

Pin		Characteristic		Description
No.	Name	I/O	Type	
1	RLD	I/O	A	Analog switch network terminal
2	NC			No Connect
3	AGND	I/O	A	Internal analog circuit command ground pin
4	REFO	I/O	A	Voltage reference terminal
5	VSSA	I	P	Analog power supply ground
6 ~ 11	PB<7> ~ PB<2>	I	A	Analog input terminal
12	NC			No Connect
13	ACM ²	I/O	A	ADC common ground
14	VDDA	I	P	Analog power supply
15 ~ 16	PB<1> ~ PB<0>	I	A	Analog input terminal
17	PB<8>	I	A	Analog input terminal
18	OP1N	I	A	OPAMP(OP1) negative input terminal
19	OP1O	O	A	OPAMP(OP1) output terminal
20	OP2N	I	A	OPAMP(OP2) negative input terminal
21	OP2O	O	A	OPAMP(OP2) output terminal
22 ~ 23	FTP, FTN	I/O	A	Pre-filter capacitor terminal
24	NC			No Connect
25	VDD	I	P	Digital power supply
26	NC			No Connect
27 ~ 28	XOUT, XIN	I/O	C	Crystal oscillator terminal
29	CS	I	S	SPI interface chip select
30	CK	I	S	SPI interface clock input
31	DI	I	S	SPI interface data input
32	DO	O	C	SPI interface data output
33	CMP	O	C	Comparator output
34	CNT	I	S	Frequency counter input terminal
35	VSS	I	P	Digital power supply ground
36	NC			No Connect
37 ~ 46	PA<9> ~ PA<0>	I/O	A	Analog switch network terminal
47	RLU	I/O	A	Analog switch network terminal
48	NC			No Connect

² ACM pin 除电容外，不可连接至其他组件

4. Typical Application Circuit



HY3130/HY3131

5. Absolute Maximum Ratings

Absolute maximum ratings over operating free-air temperature (unless otherwise noted)

- Voltage applied at VDD(VDDA) to VSS(VSSA) -0.2 V to 4.0 V
- Voltage applied to any pin -0.2 V to V_{DD} + 0.3 V
- Diode current at any device terminal ±2 mA
- Storage temperature range, T_{stg} -55°C to 150°C
- Total power dissipation 0.5w
- Lead temperature (soldering, 10s) 300°C

6. Electrical Characteristics

(VDD=VDDA=3.6V, VSS=VSSA=0V, T_A=+25°C, unless otherwise noted)

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
Supply Voltage	VDD-VSS, VDDA-VSSA	3.6-0.05	3.6	3.6+0.05	V
Power On Reset Voltage	VDD-VSS		1.9		V
External Oscillator Frequency			4.9158	8	Mhz
AD1 Zero Input Reading (HY3131 only)	V _{IN} =0V, Full Scale 50,000 counts	-1	0	+1	Counts
AD1 Zero Reading Drift (HY3131 only)	V _{IN} =0V, Full Scale 50,000 counts, T _A =0°C ~ 70°C	-0.03	0	+0.03	Counts /°C
AD1 Linearity (HY3131 only)	Full Scale (50,000 counts) at 30,000 counts Calibration			±(0.01%+ 2Counts)	% + Counts
Input Leakage Current	V _{IN} =0V		1	10	pA
ADC1 Gain Temperature drift (HY3131 only)	T _A =-40°C ~ 85°C AD1 Gain=0.9, VR Gain=1, INBUF=off, VRBUF=off		2.5		PPM/°C
ADC2 & AD3 Gain Temperature drift (HY3131 only)	T _A =-40°C ~ 85°C AD2 & AD3 Gain=1, VR Gain=1,		10	30 ³	PPM/°C
Bandwidth of OP1 or OP2			2		MHz
DC Gain of OP1 or OP2			130		dB
OP1 or OP2 Current Consumption			190		µA
OP3 Source Capability	OP3 positive input=3.5V, ΔV _O =-0.1V		600		µA
OP3 Source Capability	OP3 positive input=0.0 ~ 3.4V, ΔV _O =-0.1V		900		µA
OP3 Sink Capability	OP3 positive input=0.2 ~ 3.5V, ΔV _O =+0.1V		900		µA
OP3 Sink Capability	OP3 positive input=0.1V, ΔV _O =+0.1V		600		µA
OP3 Current Consumption			30		µA
OP Input offset voltage 1	without chopper, OP1CHOP<1:0>=00b or 11b	-2		2	mV
OP Input offset voltage 2	with chopper, OP1CHOP<1:0>=01b or 10b		20		µV

³ By Design Guarantee

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
OP Input offset temperature drift 1	without chopper, TA=-40°C ~ 85°C		2		μV/°C
OP Input offset temperature drift 2	with chopper, TA=-40°C ~ 85°C		0.1		μV/°C
OP Common-mode voltage input range	OP1CHOP<1:0>=XXb	0.1		VDDA - 1.1	V
Bandwidth of Comparator (CMPH & CMPL)	V _{IN} =600mV _{P-P} SIN		6		MHz
	V _{IN} =40mV _{P-P} SIN		2		
Comparator Current Consumption	CMPH & CMPL		40		μA
Switch Resistance	PS9 ~ PS2		80		Ω
	PS1 ~ PS0		40		
	DS9 ~ DS0		80		
	FS9 ~ FS0		300		
	SS9 ~ SS0		300		
AD1 Current Consumption	Without Input & Reference Buffer		90		μA
AD2 or AD3 Current Consumption			2160	4000 ⁴	μA
AD2 + AD3 Current Consumption (HY3131 only)			3100	6500 ⁵	μA
Low Pass Filter Current Consumption			50		μA
Digital True RMS Converter Current Consumption			210	3000 ⁶	μA
Sleep Current			1		μA
REFO Temperature Drift	TA=-40°C ~ 85°C		70		PPM/°C
Normal Mode Rejection	Offset=500mV, AC 50mV, 50Hz/60Hz±1Hz, Output rate = 5sps Output rate = 10sps		120		dB
			75		
Digital Output High	I _{OL} =+10mA	VDD-0.3			V
Digital Output Low	I _{OL} =-10mA			VSS+0.3	V
Digital Input High	CK, DI & CS Pin	1.8		VDD	V
Digital Input Low	CK, DI & CS Pin	VSS		0.5	V
Digital Input High	CNT Pin	2.4		VDD	V
Digital Input Low	CNT Pin	VSS		1.3	V
CK High Pulse Width Time(T _{CKHI})		20			ns
CK Low Pulse Width Time(T _{CKLO})		60			ns
DI Data Set Time(T _{DISET})		60			ns

⁴ By Design Guarantee⁵ By Design Guarantee⁶ By Design Guarantee

HY3130/HY3131

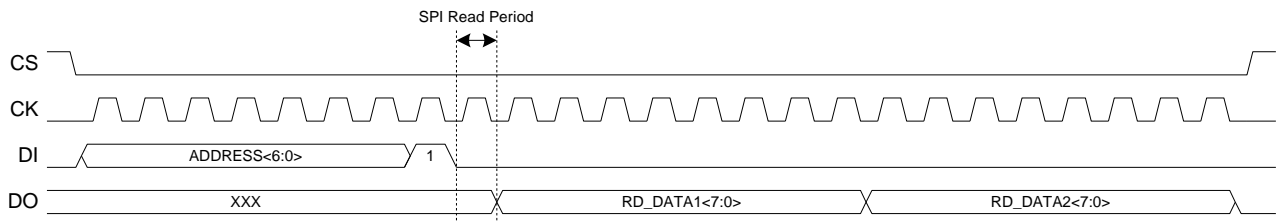
5,000/50,000 counts DMM Analog Front End

Parameter	Test Conditions	Min.	Typ.	Max.	Unit
DI Data Hold Time(T_{DIHOLD})		20			ns
DO Data Ready Time(T_{DODL})		60			ns

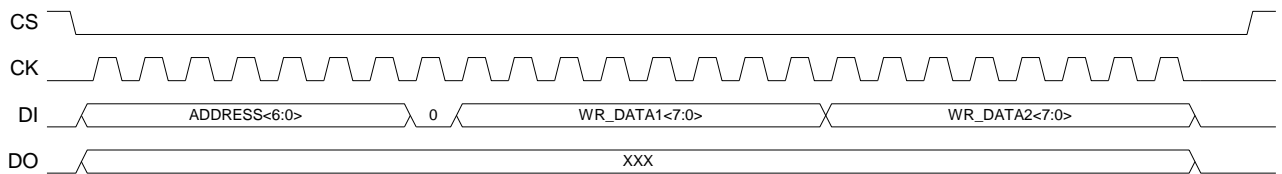
7. Digital Interface

7.1 SPI Protocol

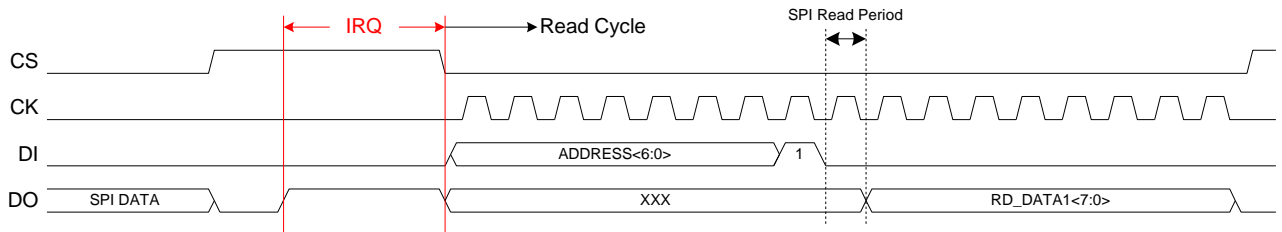
Read:



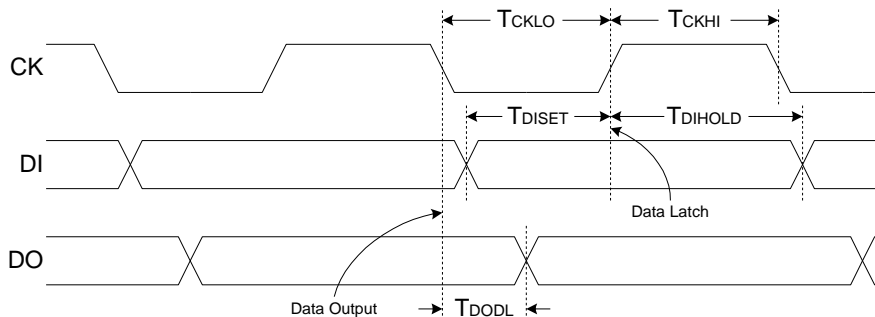
Write:



IRQ:



Timing:



7.2 Description

- (1) Address :Register address 共 7 个 Bits ;当 SPI 起始通信 CS 为 Low 后 ,第一笔为 Register Address[6...0] 及 R/W, 共 8 个 Bits, 顺序为先输出 Address MSB(Bit6), 最后再输出 R/W 位, 所以 Register Address 必须左移 1 Bit 再输出。
- (2) 读取模式 :接续(1), 若 DI 接着的第 8 个 bit 为 1, 则为读取模式。进入读取模式后, 第 9 个 bit 必须空白(SPI Read Period), 才能读取正确数据。DO 的第 10 到第 17 个 bit 为该 address 的数据, 往后 address 自动加 1, 且不必等待 SPI 抓取数据, 往后每 8 个 bits 皆为 address 自动加 1 的内容, 直到 CS 设为 High 结束读取动作。
- (3) 写入模式 :接续(1), 若 DI 接着的第 8 个 bit 若为 0, 则为写入模式。进入写入模式后, 不必空白第 9 个 bit。DI 的第 9 到第 16 个 bit 为该 address 的数据, 往后 address 自动加 1, 往后每 8 个 bits 皆为 address 自动加 1 的内容, 直到 CS 设为 High 结束写入动作。
- (4) IRQ 输出模式 : 当进入 IRQ 的等待模式, CS 设为 High, 此时若 DO 为 High, 则代表有 IRQ 发生, 相反

则否。若有 IRQ 发生后，将 CS 设为 Low，接着可进入读取或写入数据的动作。IRQ 的图示为发生 IRQ 后，进入读取动作。注意：CS 为 High 时，DO 为 IRQ 输出模式。CS 为 Low 时，DO 为 SPI 输出模式。

- (5) DI、DO 与 CK 之间的 Timing 关系如图示。
- (6) 在 CS 为 Low 之前，CK 信号必须先为 Low(CK line low in idle state)。
- (7) CK 为高电平时为有效状态，CK 为低电平时为空闲状态。
- (8) DI 与 DO，当 CK 由有效状态变成空闲状态时发送。

8. Register List

HY3130:

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
00h	AD1_DATA	AD1<7:0>=unknown							
01h		AD1<15:8>							
02h		AD1<23:16>							
03h	AD2_DATA	AD2<7:3>				AD2<2:0>=000			
04h		AD2<15:8>							
05h		AD2<23:16>							
06h	LPF_DATA	LPF<7:0>							
07h		LPF<15:8>							
08h		LPF<23:16>							
09h	RMS_DATA	RMS<7:0>							
0Ah		RMS<15:8>							
0Bh		RMS<23:16>							
0Ch		RMS<31:24>							
0Dh		RMS<39:32>							
0Eh	PKHMIN	PKHMIN<7:0>							
0Fh		PKHMIN<15:8>							
10h		PKHMIN<23:16>							
11h	PKHMAX	PKHMAX<7:0>							
12h		PKHMAX<15:8>							
13h		PKHMAX<23:16>							
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV
15h	CTC	CTC<7:0>							
16h		CTC<15:8>							
17h		CTC<23:16>							
18h	CTB	CTB<7:0>							
19h		CTB<15:8>							
1Ah		CTB<23:16>							
1Bh	CTA	CTA<7:0>							
1Ch		CTA<15:8>							
1Dh		CTA<23:16>							
1Eh	INTF	BORF	-	-	RMSF	LPFF	AD1F	AD2F	CTF
1Fh	INTE	-	-	-	RMSIE	LPFIE	AD1IE	AD2IE	CTIE
20h	R20	SCMPI<2:0>			ENCOMP	ENCNTI	ENPCMPO	ENCTR	O
21h	R21	SCMPRH<3:0>			SCMPRL<3:0>				
22h	R22	AD1OS<2:0>		AD1CHOP<1:0>		AD1OSR<2:0>			
23h	R23	ENAD1	-	O	AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF
24h	R24	SAD1FP<3:0>			SDIO				
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>	OPS<2>	OPS<1>	
26h	R26	ENAD2	0	ENCHOPAD	AD2RG	SAD2CLK	AD2OSR<2:0>		
27h	R27	SAD2IP<1:0>		SAD2IN<1:0>		SAD2RH<1:0>		SAD2RL<1:0>	
28h	R28	-	SAD1RH<2:0>			-	SAD1RL<2:0>		
29h	R29	ENRMS	ENLPF	LPFBW<2:0>			ENPKH	PKHSEL<1:0>	
2Ah	R2A	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0
2Bh	R2B	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2
2Ch	R2C	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4
2Dh	R2D	PS7	DS7	FS7	SS7	PS6	DS6	FS6	SS6
2Eh	R2E	PS9	DS9	FS9	SS9	PS8	DS8	FS8	SS8
2Fh	R2F	ENVS	SMODE<6:0>						
30h	R30	SREFO	ACC<6:0>						
31h	R31	ENREFO	ENBIAS	SAGND<1:0>			SFUVR<3:0>		
32h	R32	ENOP2	SOP2P<2:0>			ENOP1	SOP1P<2:0>		
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1<1:0>	
35h	R35	O	O	O	O	O	O	O	O
36h	R36	O	O	O	O	O	O	O	O
37h	R37	Testing Mode, Don't use or Write "0" only							

HY3130/HY3131

5,000/50,000 counts DMM Analog Front End

HY3131:

Address	File Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
00h	AD1_DATA	AD1<7:0>							
01h		AD1<15:8>							
02h		AD1<23:16>							
03h	AD2_DATA	AD2<7:0>							
04h		AD2<15:8>							
05h		AD2<23:16>							
06h	LPF_DATA	LPF<7:0>							
07h		LPF<15:8>							
08h		LPF<23:16>							
09h	RMS_DATA	RMS<7:0>							
0Ah		RMS<15:8>							
0Bh		RMS<23:16>							
0Ch		RMS<31:24>							
0Dh		RMS<39:32>							
0Eh	PKHMIN	PKHMIN<7:0>							
0Fh		PKHMIN<15:8>							
10h		PKHMIN<23:16>							
11h	PKHMAX	PKHMAX<7:0>							
12h		PKHMAX<15:8>							
13h		PKHMAX<23:16>							
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV
15h	CTC	CTC<7:0>							
16h		CTC<15:8>							
17h		CTC<23:16>							
18h	CTB	CTB<7:0>							
19h		CTB<15:8>							
1Ah		CTB<23:16>							
1Bh	CTA	CTA<7:0>							
1Ch		CTA<15:8>							
1Dh		CTA<23:16>							
1Eh	INTF	BORF	-	-	RMSF	LPFF	AD1F	AD2F	CTF
1Fh	INTE	-	-	-	RMSIE	LPFIE	AD1IE	AD2IE	CTIE
20h	R20	SCMPI<2:0>			ENCMP	ENCNTI	ENPCMPPO	ENCTR	O
21h	R21	SCMPRH<3:0>			SCMPRL<3:0>				
22h	R22	AD1OS<2:0>			AD1CHOP<1:0>	AD1OSR<2:0>			
23h	R23	ENAD1	-	0	AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF
24h	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>
26h	R26	ENAD2	0	ENCHOPAD	AD2RG	SAD2CLK	AD2OSR<2:0>		
27h	R27	SAD2IP<1:0>		SAD2IN<1:0>		SAD2RH<1:0>		SAD2RL<1:0>	
28h	R28	-	SAD1RH<2:0>			-	SAD1RL<2:0>		
29h	R29	ENRMS	ENLPF	LPFBW<2:0>			ENPKH	PKHSEL<1:0>	
2Ah	R2A	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0
2Bh	R2B	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2
2Ch	R2C	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4
2Dh	R2D	PS7	DS7	FS7	SS7	PS6	DS6	FS6	SS6
2Eh	R2E	PS9	DS9	FS9	SS9	PS8	DS8	FS8	SS8
2Fh	R2F	ENVS	SMODE<6:0>						
30h	R30	SREFO	ACC<6:0>						
31h	R31	ENREFO	ENBIAS	SAGND<1:0>			SFUVR<3:0>		
32h	R32	ENOP2	SOP2P<2:0>			ENOP1	SOP1P<2:0>		
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
34h	R34	ENAD3	O	ENCHOPAD	AD3RG	SVXI	SDO23	O	O
35h	R35	SAD3IP<1:0>		SAD3IN<1:0>		AD3IG<1:0>		O	O
36h	R36	SPHACAL<7:0>=unknown							
37h	R37	Testing Mode, Don't use or Write "0" only							

9. Data Register

- (1) AD1<23:0> : 为 High Resolution ADC(AD1)的输出数据寄存器。最大值为 7FFFFFFh, 最小值为 800000h。
HY3130 的 AD1<23:8>为有效位, HY3131 的 AD1<23:0>为有效位。
- (2) AD2<23:0> : 为 High Speed ADC(AD2)的输出数据寄存器。最大值为 03FFFFFFh, 最小值为 FC0000h。
HY3130 的 AD2<18:3>为有效位, HY3131 的 AD2<18:0>为有效位, AD<23:19>与 AD<18>位相同。
- (3) LPF<23:0> : 为 Low Pass Filter 的输出数据寄存器。最大值为 03FFFFFFh, 最小值为 FC0000h。
HY3130 的 LPF<18:3>为有效位, HY3131 的 LPF<18:0>为有效位, LPF<23:19>与 LPF<18>位相同。
- (4) RMS<39:0> : 为 RMS Converter 的输出数据寄存器。最大值为 1FFFFFFFFFh, 最小值为 E00000000h。
HY3130 的 RMS<<37:6>为有效位, HY3131 的 RMS<37:0>为有效位, RMS<39:38>与 RMS<37>位相同。
- (5) PKHMAX<23:0> : 为 Peak Hold 的最大值输出数据寄存器。最大值为 03FFFFFFh, 最小值为 FC0000h。
HY3130 的 PKHMAX<18:3>为有效位, HY3131 的 PKHMAX<18:0>为有效位, PKHMAX<23:19>与 PKHMAX<18>位相同。
- (6) PKHMIN<23:0> : 为 Peak Hold 的最小值输出数据寄存器。最大值为 03FFFFFFh, 最小值为 FC0000h。
HY3130 的 PKHMIN<18:3>为有效位, HY3131 的 PKHMIN<18:0>为有效位, PKHMIN<23:19>与 PKHMIN<18>位相同。
- (7) CTA<23:0> : 为 Frequency Counter 的数据寄存器。最大值为 FFFFFFFh, 最小值为 000000h。
- (8) CTB<23:0> : 为 Frequency Counter 的数据寄存器。最大值为 FFFFFFFh, 最小值为 000000h。
- (9) CTC<23:0> : 为 Frequency Counter 的数据寄存器。最大值为 FFFFFFFh, 最小值为 000000h。

10. Interrupt

Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
1Fh	INTE	-	-	-	RMSIE	LPFIE	AD1IE	AD2IE	CTIE
1Eh	INTF	BORF	-	-	RMSF	LPFF	AD1F	AD2F	CTF

10.1 INTE : IRQ Enable Register

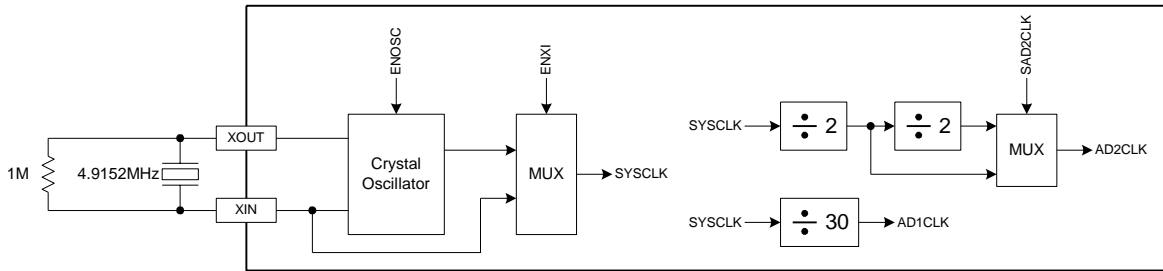
- (1) RMSIE : Enable RMS 事件发生时产生 IRQ。1=Enable, 0=Disable。
- (2) LPFIE : Enable Low Pass Filter 事件发生时产生 IRQ。1=Enable, 0=Disable。
- (3) AD1IE : Enable AD1 事件发生时产生 IRQ。1=Enable, 0=Disable。
- (4) AD2IE : Enable AD2 事件发生时产生 IRQ。1=Enable, 0=Disable。
- (5) CTIE : Enable Frequency Counter 事件发生时产生 IRQ。1=Enable, 0=Disable。
- (6) 当 XXIE 设为 1, 相对位位置的 XXF 若为 1, 则会由 SPI Interface 的 DO 产生 IRQ。
- (7) 当 XXIE 设为 0, 相对位位置的 XXF 仍然会因为相对的事件发生而被设为 1, 但不会产生 IRQ。

10.2 INTF : IRQ Event Register

- (1) BORF : 当芯片电源(VDD)低于 1.9V 时, 此位会被设为 1。此位没有相对的 INTE_x, 也不会产生 IRQ。
- (2) RMSF : RMS 事件发生时, RMSF 会被设为 1。
- (3) LPFF : Low Pass Filter 事件发生时, LPFF 会被设为 1。
- (4) AD1F : AD1 事件发生时, AD1F 会被设为 1。
- (5) AD2F : AD2 事件发生时, AD2F 会被设为 1。
- (6) CTF : Frequency Counter 事件发生时, CTF 会被设为 1。
- (7) 当芯片 reset 或读取 INTF register 后, INTF register 会被清除为 0。此 INTF register 可透过 SPI Interface 写为 0, 但不可写 1。

- (8) 因为只要有事件发生,INTF register 的相对位就会被设为 1。建议将 INTEx 设为 1 之前,请先将 INTF register 清为 0(SPI 读取或将 0 写入),以避免产生不必要之 IRQ。

11. Clock System

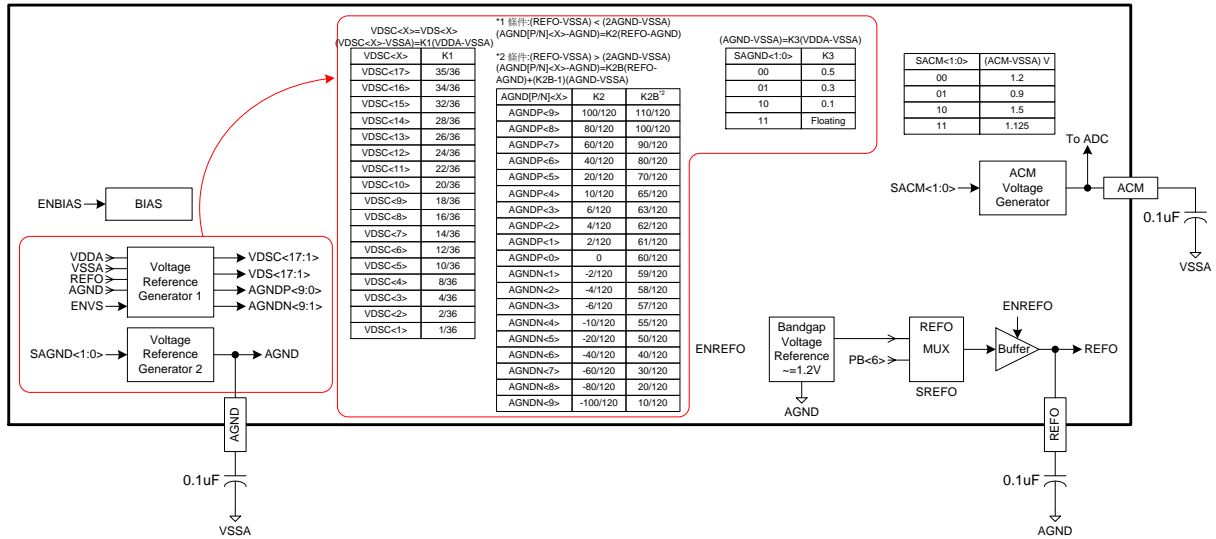


Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1<1:0>	
26h	R26	ENAD2	0	ENCHOPAD2	AD2RG	SAD2CLK	AD2OSR<2:0>		

芯片内建 Crystal Oscillator，可产生 Clock，提供给系统使用。XIN 与 XOUT 两根接脚可外接石英振荡组件。若不外接石英振荡组件，XIN 也可做为系统频率输入接脚，如图示。

- (1) ENOSC：寄存器位，可 Enable Crystal Oscillator。1=Enable；0=Disable。
- (2) ENXI：寄存器位，可选择系统频率 SYSCLK。0：SYSCLK=Crystal Oscillator 输出；1：SYSCLK=XIN。
- (3) SYSCLK：系统频率，提供给芯片使用。
- (4) AD1CLK：AD1 内的 Modulator1 的取样信号，其频率固定为 $F_{SYSCLK}/30$ 。其中 F_{SYSCLK} 为 SYSCLK 的频率。
- (5) AD2CLK：AD2 内的 Modulator2 的取样信号，其频率可由寄存器位 SAD2CLK 选择。
- (6) SAD2CLK：寄存器位，选择 AD2CLK 的频率。
 $0：F_{AD2CLK}=F_{SYSCLK}/2；1：F_{AD2CLK}=F_{SYSCLK}/4$ 。其中 F_{SYSCLK} 为 SYSCLK 的频率， F_{AD2CLK} 为 AD2CLK 的频率。
- (7) 若寄存器 Address=37h，写入 Data=60h，则芯片会 Reset。
- (8) 若 VDD<1.9V，则芯片也会 Reset。

12.1 Voltage Reference Generator

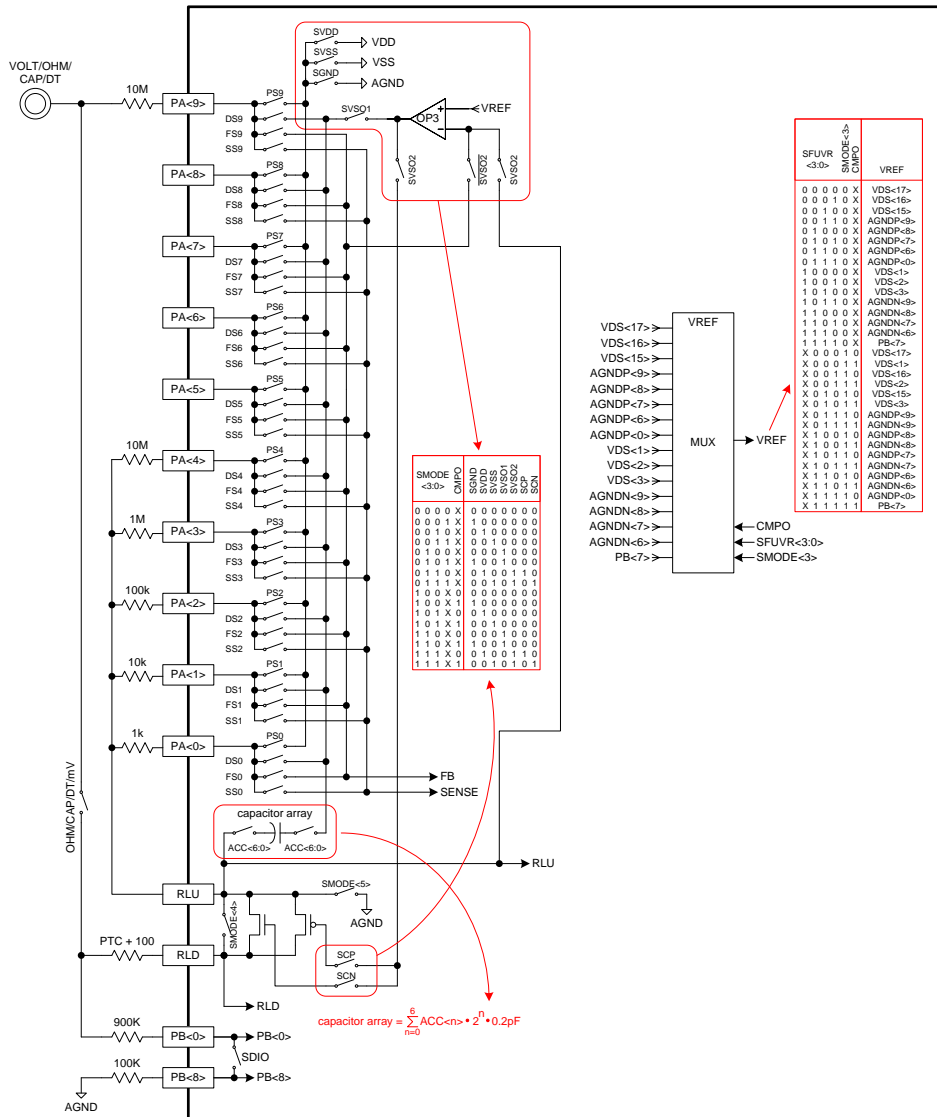


Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
31h	R31	ENREFO	ENBIAS	SAGND<1:0>	SFUVR<3:0>				
30h	R30	SREFO	ACC<6:0>						
2Fh	R2F	ENVS	SMODE<6:0>						
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>	OPS<2>	OPS<1>	

Voltage reference generator 产生 bias 及参考电压，提供给 ADC，Comparator 及 OPAMP 使用。

- (1) Voltage Reference Generator1 :产生 VDS<17:1> ,VDSC<17:1> ,AGNDP<9:0>及 AGNDN<9:1>等电压。VDSC<N>为(VDDA,VSS)分压得到的节点，AGNDP<N>为(REFO,AGND)分压得到的节点，AGNDN<N>为(-REFO,AGND)分压得到的节点。
- (2) Voltage Reference Generator2 : 产生 AGND 接脚电压，做为量测系统的参考点。AGND 接脚需外接 0.1μF 稳压电容。
- (3) Bandgap Voltage Reference : 产生相对 AGND 约 1.2V 电压。
- (4) REFO Buffer : Buffer 的输入由 SREFO 选择，可选择 Bandgap Voltage Reference 或 PB<6>电压。Buffer 输出点 REFO 接脚需外接 0.1μF 稳压电容。
- (5) ACM Voltage Generator : 产生 ACM 接脚电压，做为内部 ADC 的 common mode 参考点。ACM 接脚需外接 0.1μF 稳压电容。
- (6) ENBIAS : 寄存器位，可 Enable bias circuit，以提供 bias 给所有的 analog circuit。1=Enable，0=Disable。
- (7) ENVS : 寄存器位，可 Enable Voltage Reference Generator1。1=Enable，0=Disable。
- (8) SAGND<1:0> : 寄存器位，可选择 AGND 的电压。当 SAGND<1:0>=11 时，会 Disable Voltage Reference Generator2，且 AGND 接脚为 Floating 状态，此时可以由外部输入 AGND 接脚电压。
- (9) ENREFO : 寄存器位，可 Enable 内部 Bandgap Voltage Reference 相对 AGND 约 1.2V 电压，及 Enable REFO Buffer。1=Enable，0=Disable。当设为 0 时，REFO 接脚为 Floating 状态。
- (10) SREFO :寄存器位，可选择 REFO Buffer 的输入源。“0”选择内部 Bandgap 相对 AGND 约 1.2V 电压；“1”：选择 PB<6>接脚。
- (11) SACM<1:0> : 寄存器位，可选择 ACM 的电压，建议 ACM 电压使用 1.5V。
- (12) 所有相关电压，请参考图标。

12.2 Analog Switch Network



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
31h	R31	ENREFO	ENBIAS	SAGND<1:0>			SFUVR<3:0>		
30h	R30	SREFO				ACC<6:0>			
2Fh	R2F	ENVS				SMODE<6:0>			
2Eh	R2E	PS9	DS9	FS9	SS9	PS8	DS8	FS8	SS8
2Dh	R2D	PS7	DS7	FS7	SS7	PS6	DS6	FS6	SS6
2Ch	R2C	PS5	DS5	FS5	SS5	PS4	DS4	FS4	SS4
2Bh	R2B	PS3	DS3	FS3	SS3	PS2	DS2	FS2	SS2
2Ah	R2A	PS1	DS1	FS1	SS1	PS0	DS0	FS0	SS0
24h	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		

Analog switch network 如图所示，配合外部电阻组件，可构成各式网络，可用来量测电压、电阻、电容。其中 PA<9:0>是接脚，其内部开关分别由寄存器位 PS9~PS0，DS9~DS0，FS9~FS0 及 SS9~SS0 控制。控制的开关内阻值大约如下：@VDDA=3.6V

寄存器位	PS9 ~ PS2	PS1 ~ PS0	DS9 ~ DS0	FS9 ~ FS0	SS9 ~ SS0
开关内阻(Ω)	80	40	80	300	300

- (1) OP3 可做为定电压源，或者搭配 SCP/SCN 控制的 MOS 可组合成定电流源，提供待测组件量测时使用。
- (2) OP3 的正端输入为 VREF。VREF 电压选择由 CMPO 及寄存器位 SFUVR<3:0>，SMODE<3>组合来控制。其电压值选择，请参考图示。

- (3) 内部控制信号 SGND , SVDD , SVSS , SVSO1 , SVSO2 , SCP , SCN 由寄存器位 SMODE<3:0>及讯号 CMPO 组合而成，其真值表如图示。
- (4) CMPO 为比较器的输出信号。
- (5) Capacitor array 可做为 ACV 量测时的带宽补偿，其电容值如图示。电容值大小由寄存器位 ACC<6:0>控制。

$$\text{capacitor array} = \sum_{n=0}^6 \text{ACC}\langle n \rangle \cdot 2^n \cdot 0.2\text{pF}$$

依上述公式，各 Bit 电容值：(Bit = 0 or 1) x 2ⁿ x 0.2pF，各 Bit 电容值计算结果如下表。

(单位：pF)

ACC<6:0> = n	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC<n>	0/1	0/1	0/1	0/1	0/1	0/1	0/1
电容值	12.8	6.4	3.2	1.6	0.8	0.4	0.2

范例 1：

假设 ACC<6:0>=1010101，

则总补偿电容值：

$$\begin{aligned} &= (1 \cdot 2^6 \cdot 0.2) + (0 \cdot 2^5 \cdot 0.2) + (1 \cdot 2^4 \cdot 0.2) + (0 \cdot 2^3 \cdot 0.2) + (1 \cdot 2^2 \cdot 0.2) + (0 \cdot 2^1 \cdot 0.2) + (1 \cdot 2^0 \cdot 0.2) \\ &= 12.8 + 0 + 3.2 + 0 + 0.8 + 0 + 0.2 \\ &= 17 \text{ pF} \end{aligned}$$

范例 2：

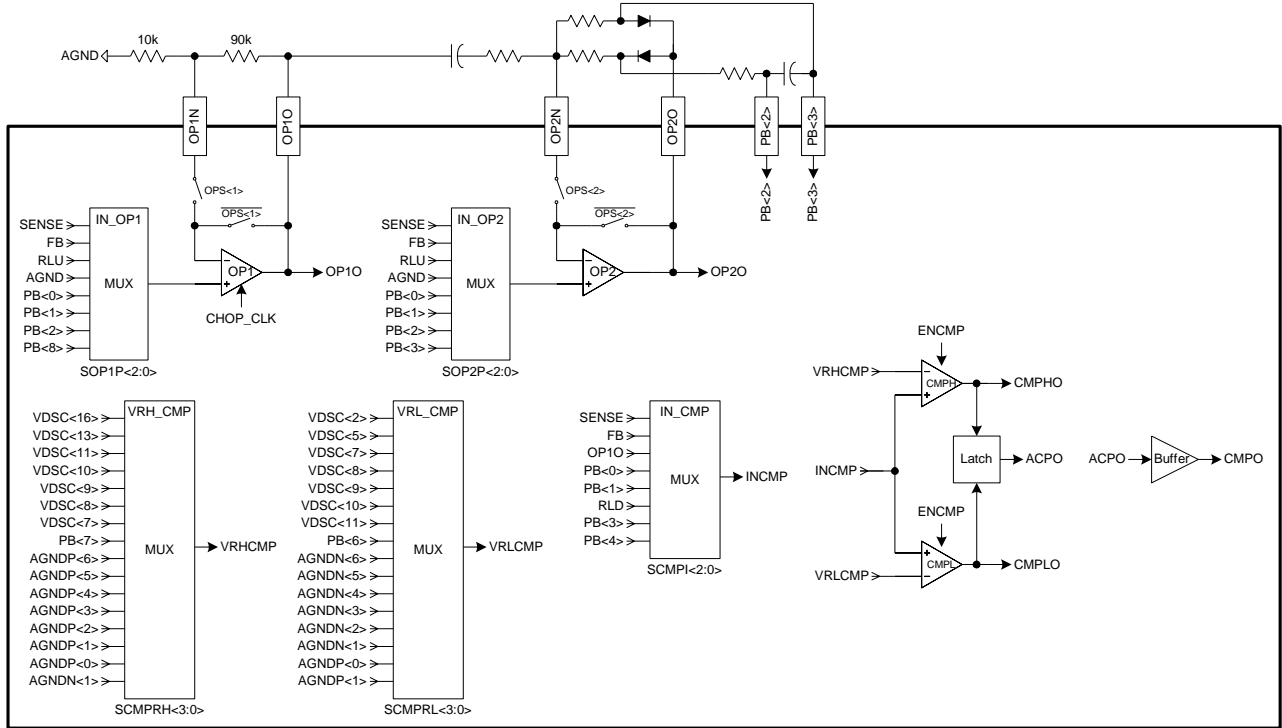
假设 ACC<6:0>=1100011，

则总补偿电容值：

$$\begin{aligned} &= (1 \cdot 2^6 \cdot 0.2) + (1 \cdot 2^5 \cdot 0.2) + (0 \cdot 2^4 \cdot 0.2) + (0 \cdot 2^3 \cdot 0.2) + (0 \cdot 2^2 \cdot 0.2) + (1 \cdot 2^1 \cdot 0.2) + (1 \cdot 2^0 \cdot 0.2) \\ &= 12.8 + 6.4 + 0 + 0 + 0 + 0.4 + 0.2 \\ &= 19.8 \text{ pF} \end{aligned}$$

- (6) 寄存器位 SDIO 可控制将 PB<0>与 PB<8>接脚连接。此功能使用在 Diode 量测时，将被量测电压分压。
- (7) 网络的节点信号 FB、SENSE、RLU、RLD、PB<8:0>，均可透过 MUX 由 ADC 量测。

12.3 OPAMP And Comparator



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1<1:0>	
32h	R32	ENOP2	SOP2P<2:0>			ENOP1	SOP1P<2:0>		
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>
21h	R21	SCMPRH<3:0>				SCMPRL<3:0>			
20h	R20	SCMPI<2:0>			ENCMP	ENCNTI	ENPCMPO	ENCTR	0
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV

OPAMP:

如图标，芯片内部有两个 OPAMP，OP1 与 OP2。搭配外部组件，可构成放大电路与全波整流线路。

- (1) 寄存器位 OPS<2:1>可分别控制 OPAMP 的负端输入为 OPXN 或者 OPXO 接脚。
- (2) 寄存器位 ENOP1，ENOP2 可分别 Enable OP1 与 OP2 (图未画出)。1=Enable，0=Disable。
- (3) OPAMP 的正端输入分别透过 MUX 连接，由寄存器位 SOP1P<2:0>与 SOP2P<2:0>控制。

SOP1P<2:0>	000	001	010	011	100	101	110	111
OP1 正端输入	SENSE	FB	RLU	AGND	PB<0>	PB<1>	PB<2>	PB<8>
SOP2P<2:0>	000	001	010	011	100	101	110	111
OP2 正端输入	SENSE	FB	RLU	AGND	PB<0>	PB<1>	PB<2>	PB<3>

- (4) CHOP_CLK 为 OP1 的 chopper clock，此信号由寄存器位 OP1CHOP<1:0>控制如下：

OP1CHOP<1:0>	00	01	10	11
CHOP_CLK	0	1k Hz 方波	2k Hz 方波	1

Comparator:

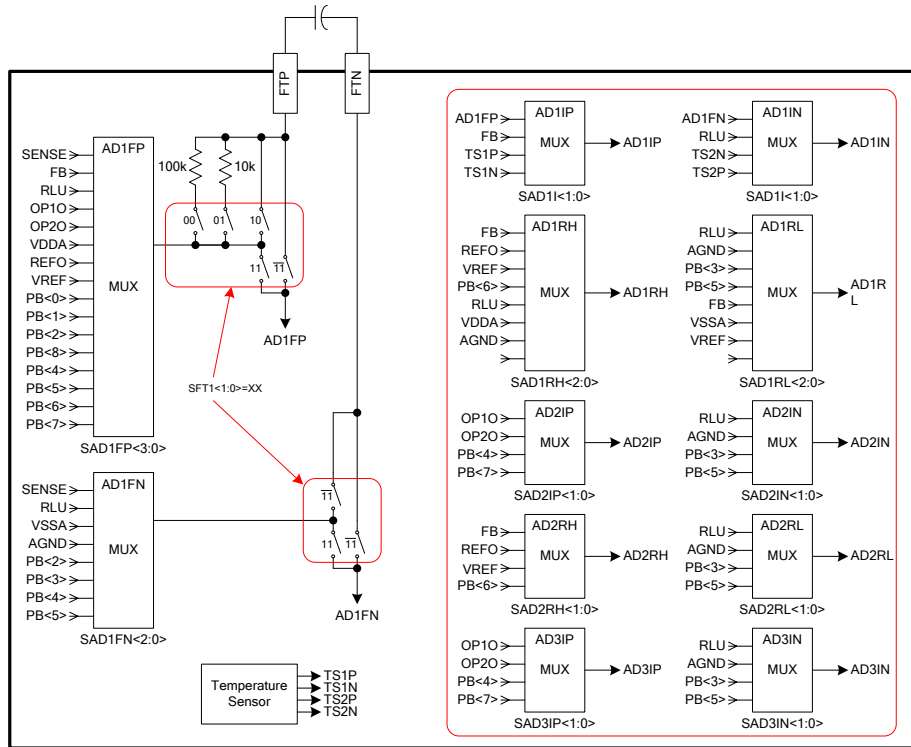
芯片内部有两个模拟比较器，CMPH 与 CMPL，组合成具有迟滞与 latch 功能的比较器，可比较模拟信号与数字信号。

- (1) 比较器的输出 CMPHO，CMPLO 与 ACPO 可由 CTSTA 寄存器读取。也会传输至数字单元做处理，可量测出频率与 duty cycle。
- (2) 比较器的输入分别透过 MUX 连接，由寄存器位 SCMPRH<3:0>，SCMPRL<3:0>与 SCMPI<2:0>控制。

SCMPRH<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VRHCMP	VDSC<16>	VDSC<13>	VDSC<11>	VDSC<10>	VDSC<9>	VDSC<8>	VDSC<7>	PB<7>
SCMPRH<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VRHCMP	AGNDP<6>	AGNDP<5>	AGNDP<4>	AGNDP<3>	AGNDP<2>	AGNDP<1>	AGNDP<0>	AGNDN<1>
SCMPRL<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
VRLCMP	VDSC<2>	VDSC<5>	VDSC<7>	VDSC<8>	VDSC<9>	VDSC<10>	VDSC<11>	PB<6>
SCMPRL<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
VRLCMP	AGNDN<6>	AGNDN<5>	AGNDN<4>	AGNDN<3>	AGNDN<2>	AGNDN<1>	AGNDP<0>	AGNDP<1>
SCMPI<2:0>	000	001	010	011	100	101	110	111
INCMP	SENSE	FB	OP1O	PB<0>	PB<1>	RLD	PB<3>	PB<4>

- (3) ACPO : ACPO 为比较器经过 latch 的输出。
- (4) CMPO : 此信号是 ACPO 经过 Buffer 的输出。CMPO 可控制 Analog Switch Network 单元内的 VREF 或其他开关。
- (5) ENCOMP : 寄存器位，可 Enable CMPH 与 CMPL 比较器。1=Enable，0=Disable。

12.4 Pre-Filter、ADC Input MUX And Temperature Sensor



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
35h	R35	SAD3IP<1:0>		SAD3IN<1:0>		AD3IG<1:0>		-	0
33h	R33	OP1CHOP<1:0>		ENOSC	ENXI	SFT1<1:0>		SAD1I<1:0>	
28h	R28	-		SAD1RH<2:0>		-		SAD1RL<2:0>	
27h	R27	SAD2IP<1:0>		SAD2IN<1:0>		SAD2RH<1:0>		SAD2RL<1:0>	
24h	R24	SAD1FP<3:0>				SDIO	SAD1FN<2:0>		

ADC 的输入信号与参考信号均透过 MUX 连接。AD1 的输入前级可选择是否经过 Pre-filter。另外，芯片内部有内建温度传感器(Temperature Sensor)，可经由 AD1 量测芯片温度。

Pre-Filter:

(1) 在 AD1 的输入前级有一电阻网络，在 FTP 与 FTN 之间外接滤波电容可形成 Filter，可滤掉噪声，使输入信号稳定。此 Filter 的正负端输入信号透过 MUX 连接，而 AD1FP 与 AD1FN 分别为 Filter 的正负端输出信号，分别由寄存器位 SAD1FP<3:0>、SAD1FN<2:0>与 SFT1<1:0>控制。

SAD1FP<3:0>	0000	0001	0010	0011	0100	0101	0110	0111
Filter 正端输入	SENSE	FB	RLU	OP10	OP20	VDDA	REFO	VREF
SAD1FP<3:0>	1000	1001	1010	1011	1100	1101	1110	1111
Filter 正端输入	PB<0>	PB<1>	PB<2>	PB<3>	PB<4>	PB<5>	PB<6>	PB<7>
SAD1FN<2:0>	000	001	010	011	100	101	110	111
Filter 负端输入	SENSE	RLU	VSSA	AGND	PB<2>	PB<3>	PB<4>	PB<5>

(2) SFT1<1:0>：寄存器位，可选择滤波电阻为 100K、10K、0 或无，如图示。

ADC Input MUX:

AD1 与 AD2 的输入信号与参考信号均透过 MUX 连接，分别由寄存器位控制。

(1) AD1IP 与 AD1IN：为 AD1 的正负端输入信号，共同由寄存器位 SAD1I<1:0>控制。

- (2) AD1RH 与 AD1RL : 为 AD1 的正负端参考信号, 分别由寄存器位 SAD1RH<2:0>与 SAD1RL<2:0>控制。
- (3) AD2IP 与 AD2IN : 为 AD2 的正负端输入信号, 分别由寄存器位 SAD2IP<1:0>与 SAD2IN<1:0>控制。
- (4) AD2RH 与 AD2RL : 为 AD2 的正负端参考信号, 分别由寄存器位 SAD2RH<1:0>与 SAD2RL<1:0>控制。
- (5) AD3IP 与 AD3IN(HY3131 only) 为 AD3 的正负端输入信号, 分别由寄存器位 SAD3IP<1:0>与 SAD3IN<1:0>控制。

SAD1I<1:0>	00	01	10	11				
AD1IP	AD1FP	FB	TS1P	TS1N				
AD1IN	AD1FN	RLU	TS2N	TS2P				
SAD1RH<2:0>	000	001	010	011	100	101	110	111
AD1RH	FB	REFO	VREF	PB<6>	RLU	VDDA	AGND	X
SAD1RL<2:0>	000	001	010	011	100	101	110	111
AD1RL	RLU	AGND	PB<3>	PB<5>	FB	VSSA	VREF	X
SAD2IP<1:0>	00	01	10	11				
AD2IP	OP1O	OP2O	PB<4>	PB<7>				
SAD2IN<1:0>	00	01	10	11				
AD2IN	RLU	AGND	PB<3>	PB<5>				
SAD3IP<1:0>	00	01	10	11				
AD3IP	OP1O	OP2O	PB<4>	PB<7>				
SAD3IN<1:0>	00	01	10	11				
AD3IN	RLU	AGND	PB<3>	PB<5>				
SAD2RH<1:0>	00	01	10	11				
AD2RH	FB	REFO	VREF	PB<6>				
SAD2RL<1:0>	00	01	10	11				
AD2RL	RLU	AGND	PB<3>	PB<5>				

Temperature Sensor:

芯片内部内建一个温度传感器, 其输出有两组电压(TS1P,TS2N), (TS1N,TS2P)。此两组电压可经由 AD1 量测得到。温度计算如下:

- 设定 SAD1I<1:0>=10, AD1 量测得到一个数字码 TCode1。
- 设定 SAD1I<1:0>=11, AD1 量测得到一个数字码 TCode2。
- 计算 TCode=(TCode2 - TCode1)/2, 此动作可消除 Temperature Sensor 的 Offset。
- 假设在 25°C校正一点, 可得到 TCode@25°C。因为 Temperature Sensor 本身有一位准偏移, 所以会加入一偏移量, 得到温度的曲线斜率 G 如下:

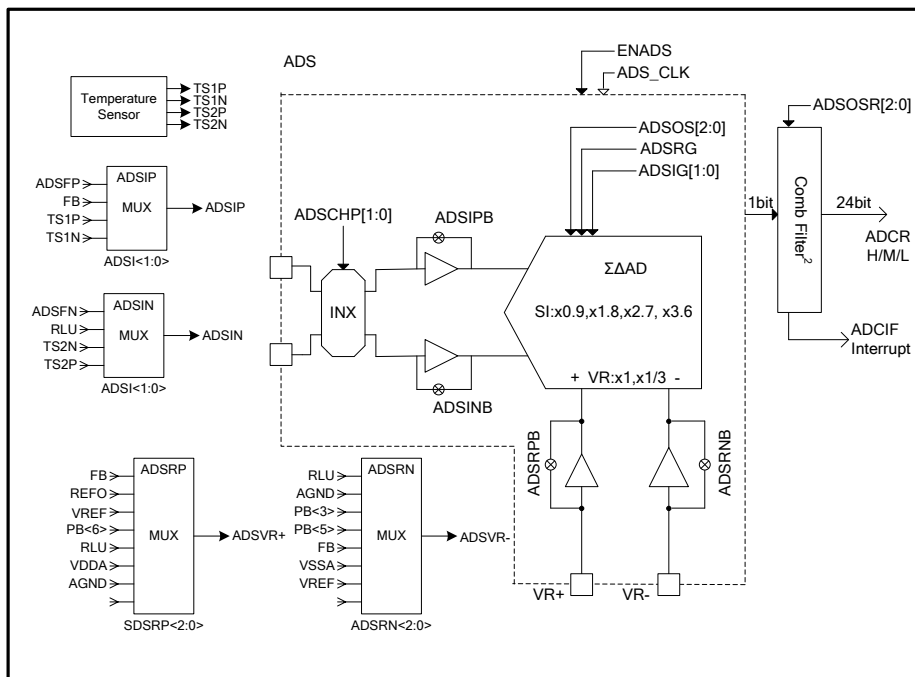
$$G = \frac{TCode@25^{\circ}C}{25 + 273.15 + T_{OS}}, \text{ 其中 } T_{OS} \text{ 为偏移量, 约为 } 16^{\circ}K.$$

- 假设待测温度为 T_x°C, 则可得到:

$$T_x = \frac{TCode@T_x^{\circ}C}{G} - [273.15 + T_{OS}] \quad ^{\circ}C$$

13. ΣΔADC、Low Pass Filter、RMS Converter And Peak Hold

13.1 High Resolution ADC(AD1)



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>
23h	R23	ENAD1	-	0	AD1RG	AD1RHBUF	AD1RLBUF	AD1IPBUF	AD1INBUF
22h	R22	AD1OS<2:0>			AD1CHOP<1:0>		AD1OSR<2:0>		

AD1 为 High Resolution ADC，AD1IP 与 AD1IN 为正负端输入信号，AD1RH 与 AD1RL 为正负端参考信号。

- (1) ENAD1⁷：寄存器位，可 Enable AD1。1=Enable；0=Disable，且清除 AD1<23:0>为 0。
- (2) AD1CHOP<1:0>：寄存器位，可设定 Chop AD1 输入信号的形式，结果会反应在 AD1 的输出 AD1<23:0>。
假设 VOS 为 AD1 的 Offset 输出码，VX 为 AD1 的 Zero Offset 的输出码。当使用不同 AD1CHOP 设定时，ADC 输出码如下表，当 AD1CHOP=1x 时，ADC 根据 OSR 设定的时间来切换输入信号，做 Offset 消除的功能。同时 ADC 输出速度将变慢一倍。

AD1CHOP<1:0>	00	01	10	11
AD1<23:0>	VX+VOS	VX-VOS	VX	VX

(3) AD1IG<1:0>：寄存器位，可设定 AD1 输入信号的 Gain。

(4) AD1RG：寄存器位，可设定 AD1 参考信号的 Gain。

AD1IG<1:0>	00	01	10	11	AD1RG	0	1
AD1 Input Gain	0.9	1.8	2.7	3.6	AD1 Reference Gain	1.0	0.333

(5) AD1OS<2:0>：寄存器位，可设定零点输入电压位置 DCOS。若是待测信号不对称，使用此功能可使 AD1 工作在较佳的范围。

AD1OS<2:0>	000	001	010	011	100	101	110	111

⁷ AD1 与 AD2/AD3 同时开启，AD 不要有开关动作，可以避免 AD1 有 Offset 不一问题。

DCOS	0	0.25	0.5	0.75	0	-0.25	-0.5	-0.75
------	---	------	-----	------	---	-------	------	-------

假设 VIN 为 AD1 的输入信号，VR 为 AD1 的参考信号，IG 为 AD1 输入信号的 Gain，RG 为 AD1 参考信

号的 Gain。则 AD1<23:0> = $\frac{IG \cdot VIN}{RG \cdot VR} + \frac{DCOS}{RG}$ 。

- (6) AD1IPBUF：寄存器位，可设定 AD1 正端输入信号是否经过 Buffer。1=Enable；0=Disable。
(7) AD1INBUF：寄存器位，可设定 AD1 负端输入信号是否经过 Buffer。1=Enable；0=Disable。
(8) AD1RHBUF：寄存器位，可设定 AD1 正端参考信号是否经过 Buffer。1=Enable；0=Disable。
(9) AD1RLBUF：寄存器位，可设定 AD1 负端参考信号是否经过 Buffer。1=Enable；0=Disable。
(10) AD1CLK：Modulator1 的取样信号，其频率固定为 F_{SYSCLK}/30。其中 F_{SYSCLK} 为 SYSCLK 的频率。
(11) AD1OSR<2:0>：寄存器位，可设定 AD1 Comb Filter 的 Over Sampling Ratio(OSR1)。

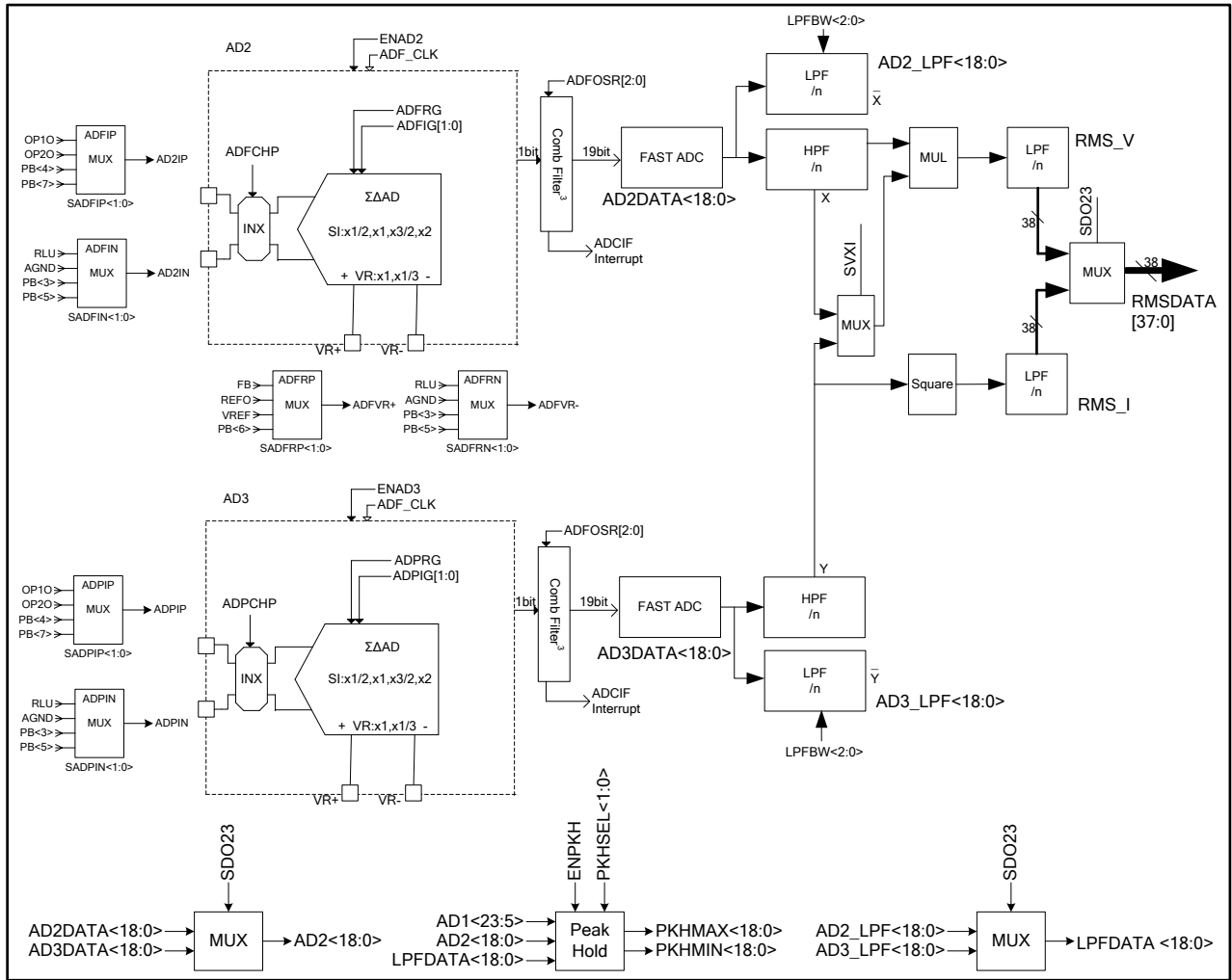
AD1 data output rate=F_{AD1CLK}/OSR1。其中 F_{AD1CLK} 为 AD1CLK 的频率。

AD1OSR<1:0>	000	001	010	011	100	101	110	111
OSR1	256	512	1024	2048	4096	8192	16384	32768

- (12) AD1<23:0>：为 AD1 的输出数据寄存器，共 24 bits。
(13) AD1F：为 AD1 事件发生时的旗标，此信号会送至 INTF 寄存器内。

13.2 High Speed ADC(AD2 & AD3)、Low Pass Filter、RMS Converter And Peak

Hold



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
36h	R36	SPHACAL<7:0>							
35h	R35	SAD3IP<1:0>		SAD3IN<1:0>		AD3IG<1:0>		-	0
34h	R34	ENAD3	0	ENCHOPAD3	AD3RG	SVXI	SDO23	0	0
29h	R29	ENRMS	ENLPF	LPFBW<2:0>		ENPKH	PKHSEL<1:0>		
26h	R26	ENAD2	0	ENCHOPAD2	AD2RG	SAD2CLK	AD2OSR<2:0>		
25h	R25	AD2IG<1:0>		AD1IG<1:0>		SACM<1:0>		OPS<2>	OPS<1>

AD2:

AD2 为 High Speed ADC，AD2IP 与 AD2IN 为正负端输入信号⁸，AD2RH 与 AD2RL 为正负端参考信号。

- (1) ENAD2：寄存器位，可 Enable AD2。1=Enable；0=Disable，且清除 AD2<18:0>为 0。
- (2) ENCHOPAD2：寄存器位，可 Enable Chop AD2 的输入信号。1=Enable，0=Disable。当启用 AD2 Chop 设定时，做 Offset 消除的功能。同时 ADC 输出速度将变慢一倍。
- (3) AD2IG<1:0>：寄存器位，可设定 AD2 输入信号的 Gain。
- (4) AD2RG：寄存器位，可设定 AD2 参考信号的 Gain。

AD2IG<1:0>	00	01	10	11	AD2RG	0	1
AD2 Input Gain	0.5	1.0	1.5	2.0	AD2 Reference Gain	1.0	0.333

- (5) AD2CLK：Modulator2 的取样信号，其频率可由寄存器位 SAD2CLK 选择。

SAD2CLK=0：F_{AD2CLK}=F_{SYSCLK}/2； SAD2CLK=1：F_{AD2CLK}=F_{SYSCLK}/4。其中 F_{SYSCLK} 为 SYSCLK 的频率，

⁸ 当 AD2 与 AD3 同时应用时，建议 AD2IN 与 AD3IN 接在 AGND 上或接不同 PB<x>输入。

F_{AD2CLK} 为 AD2CLK 的频率。

(6) AD2OSR<2:0> : 寄存器位, 可设定 AD2 Comb Filter 的 Over Sampling Ratio(OSR2)。

AD2 data output rate= $F_{AD2CLK}/OSR2$ 。

AD2OSR<2:0>	000	001	010	011	100	101	110	111
OSR2	32	64	128	256	512	1024	1024	1024

(7) AD2<18:0> : 为 AD2 的输出数据, 共 19 bits。

(8) AD2F : 为 AD2 事件发生时的旗标, 此信号会送至 INTF 寄存器内。

(9) SPHACAL<7:0> (HY3131 only) : 寄存器位, 可 Calibrate AD2 Phase。此功能是为了量测 Power 时, 将 AD2 与 AD3 的输出设为同相位。使用此功能时, 必须先设定 SPHACAL<7:0>, 然后再将 ENAD2 与 ENAD3 设为 1, 否则数据会比较晚稳定。

SPHACAL<7> : 此位为领先或落后的设定。0 : AD2 输出会落后 AD3 输出 ; 1 : AD2 输出会领先 AD3 输出。

SPHACAL<6:0> : 这些位可设定领先或落后的时间 T。

$$T = \sum_{n=0}^6 2^n \cdot \text{SPHACAL} \langle n \rangle \cdot \frac{1}{F_{AD2CLK}}, \text{ 其中 } F_{AD2CLK} \text{ 为 AD2CLK 的频率。}$$

AD3 (HY3131 only):

AD3 为第二个 High Speed ADC, AD3IP 与 AD3IN 为正负端输入信号。AD2RH 与 AD2RL 为正负端参考信号, 与 AD2 共享。

(1) ENAD3 : 寄存器位, 可 Enable AD3。1=Enable ; 0=Disable, 且清除 AD3DATA<18:0>为 0。

(2) ENCHOPAD3 : 寄存器位, 可 Enable Chop AD3 的输入信号。1=Enable, 0=Disable。当启用 AD3 Chop 设定时, 做 Offset 消除的功能。同时 ADC 输出速度将变慢一倍。

(3) AD3IG<1:0> : 寄存器位, 可设定 AD3 输入信号的 Gain。

(4) AD3RG : 寄存器位, 可设定 AD3 参考信号的 Gain。

AD3IG<1:0>	00	01	10	11	AD3RG	0	1
AD3 Input Gain	0.5	1.0	1.5	2.0	AD3 Reference Gain	1.0	0.333

(5) AD2CLK : Modulator3 的取样信号, 与 AD2 共享, 可由寄存器位 SAD2CLK 选择。

SAD2CLK=0 : $F_{AD2CLK}=F_{SYSCLK}/2$; SAD2CLK=1 : $F_{AD2CLK}=F_{SYSCLK}/4$ 。其中 F_{SYSCLK} 为 SYSCLK 的频率, F_{AD2CLK} 为 AD2CLK 的频率。

(6) AD2OSR<2:0> : 寄存器位, 可设定 AD3 Comb Filter 的 Over Sampling Ratio(OSR3), 与 AD2 共享。

AD3 data output rate= $F_{AD2CLK}/OSR3$ 。

AD2OSR<2:0>	000	001	010	011	100	101	110	111
OSR3	32	64	128	256	512	1024	1024	1024

(7) AD3DATA<18:0> : 为 AD3 的输出数据, 共 19 bits。

(8) AD2F : 为 AD3 事件发生时的旗标, 此信号会送至 INTF 寄存器内, 与 AD2 共享。

MUX (HY3131 only):

(1) SDO23 : 寄存器位, 可选择进入数据寄存器 AD2<18:0>、LPF<18:0>与 RMS<37:0>的资料。

(2) AD2<18:0> : 为 High Speed ADC 的数据寄存器。此数据可选择为 AD2DATA<18:0>或 AD3DATA<18:0>, 由寄存器位 SDO23 控制。

SDO23=0 : AD2<18:0>= AD2DATA<18:0> ; SDO23=1 : AD2<18:0>= AD3DATA<18:0>。

Low Pass Filter:

- (1) ENLPF : 寄存器位, 可 Enable Low Pass Filter。1=Enable ; 0=Disable , 且清除 LPF<18:0>为 0。
- (2) SDO23 (HY3131 only) : 寄存器位, 可选择 Low Pass Filter 的输出为 LPF[AD2DATA<18:0>]或 LPF[AD3DATA<18:0>]。
0 : LPF[AD2DATA<18:0>] ; 1 : LPF[AD3DATA<18:0>]。
- (3) LPFBW<2:0> : 寄存器位, 可设定 Low Pass Filter 的 Over Sampling Ratio(OSR4)。
Low Pass Filter data output rate=data input rate/OSR4。

LPFBW<2:0>	000	001	010	011	100	101	110	111
OSR4	64	128	256	512	1024	2048	4096	8192

- (4) LPF<18:0> : 为 Low Pass Filter 的输出数据寄存器。
- (5) LPFF : 为 Low Pass Filter 事件发生时的旗标, 此信号会送至 INTF 寄存器内。

RMS Converter:

- (1) ENRMS : 寄存器位, 可 Enable RMS Converter。1=Enable ; 0=Disable , 且清除 RMS<37:0>为 0。
- (2) RMS<37:0> : 为 RMS Converter 的输出数据寄存器。
RMS data output rate=Low Pass Filter data output rate。
- (3) SDO23 与 SVXI (HY3131 only) : 寄存器位, 两者的组合可选择 RMS Converter 的输出数据。
假设 X=AD2DATA<18:0>经过 High Pass Filter 的资料, Y=AD3DATA<18:0>经过 High Pass Filter 的资料。
N=Low Pass Filter 的 OSR, 由 LPFBW<2:0>设定。则 :

SDO23	0	0	1	1
SVXI	0	1	0	1
RMS<37:0>	$\Sigma X^2/N$	$\Sigma XY/N$	$\Sigma Y^2/N$	$\Sigma Y^2/N$

若要得到 RMS 值, 必须由外部 MCU 软件开根号。

- (4) RMSF : 为 RMS Converter 事件发生时的旗标, 此信号会送至 INTF 寄存器内。

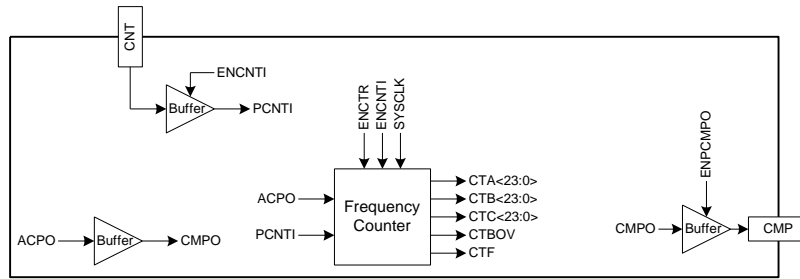
Peak Hold:

- (1) ENPKH : 寄存器位, 可 Enable Peak Hold。1=Enable ; 0=Disable , 且清除 PKHMAX<18:0>为 40000h , PKHMIN<18:0>为 3FFFFh。
- (2) PKHSEL<1:0> : 寄存器位, 可选择 Peak Hold 的输入为 AD1<23:5>、AD2<18:0>或 LPF<18:0>。

PKHSEL<1:0>	00	01	10	11
Peak Hold 输入	AD2<18:0>	AD1<23:5>	LPF<18:0>	LPF<18:0>

- (3) PKHMAX<18:0> : 为 Peak Hold 的最大值输出数据寄存器。default 值=40000h。
- (4) PKHMIN<18:0> : 为 Peak Hold 的最小值输出数据寄存器。default 值=3FFFFh。

14. Frequency Counter、CNT And CMP Pin



Address	Name	Bit<7>	Bit<6>	Bit<5>	Bit<4>	Bit<3>	Bit<2>	Bit<1>	Bit<0>
20h	R20	SCMPI<2:0>			ENCMP	ENCNTI	ENPCMPO	ENCTR	0
14h	CTSTA	PCNTI	ACPO	CMPHO	CMPLO	-	-	-	CTBOV

Frequency Counter:

Frequency Counter 可选择 ACPO 或 PCNTI 为输入源。输出会写入数据寄存器 CTA<23:0>、CTB<23:0>及 CTC<23:0>内。可藉由读取数据寄存器，计算信号的频率与 Duty Cycle。

- ENCTR：寄存器位，可 Enable Frequency Counter。1=Enable；0=Disable，且清除 CTA<23:0>、CTB<23:0>、CTC<23:0>及 CTBOV 为 0。
- ENCNTI：寄存器位，可 Enable CNT Buffer。也可选择 Frequency Counter 的输入源。

ENCNTI	0	1
Frequency Counter 输入	ACPO	PCNTI

- PCNTI：为 CNT Buffer 的输出，也会传送至寄存器 CTSTA<7>。
- CTA<7:0>：数据寄存器，当 ENCTR=0 时，CTA<7:0>会被清除为 0。
- CTA<23:8>：数据寄存器，当 ENCTR=0 时，CTA<23:8>不会被清除为 0。当 ENCTR=0 时，CTA<23:8>只能透过 SPI 写入值。当 ENCTR=1 时，CTA<23:8>只能由 Frequency Counter 写入值。
- CTB<23:0>：数据寄存器，当 ENCTR=0 时，会被清除为 0。当 ENCTR=1 且计数完毕发生中断后，会记录待测信号的完整周期数目。可用来计算待测信号的频率。
- CTC<23:0>：数据寄存器，当 ENCTR=0 时，会被清除为 0。当 ENCTR=1 且计数完毕发生中断后，会记录待测信号为 High 时的 SYSCLK 数目。可用来计算待测信号的 Duty Cycle。
- CTBOV：寄存器位，当 CTB<23:0> Over Flow 时，会被设为 1。读取 CTSTA 寄存器或 ENCTR=0，皆会被设为 0。
- CTF：为 Frequency Counter 事件发生时的旗标，此信号会送至 INTF 寄存器内。
- SYSCLK 为系统频率。

Frequency Counter 操作如下：

- 设定 ENCTR=0，CTA<7:0>会被设为 0。
- 设定计数初始值于 CTA<23:8>。则预设计数时间 Gate Time=[1000000h-CTA<23:0>]/F_{SYSCLK}。
- 设定 ENCTR=1，开始计数 若 CTA<23:0>发生 Over Flow 时，CTA<23:0>仍然会继续计数，直到 CTB<23:0>记录到待测信号的完整周期数目后，才会停止计数。
- 等待中断。
- 中断出现后停止计数。
- 读取 CTA<23:0>，CTB<23:0>，CTC<23:0>及 CTBOV。
- 若 CTBOV=1，则代表 Gate Time 设定太长，但待测信号频率很高，CTB<23:0>才会发生 Over Flow。此

次计数数据是没有意义的。必须由步骤(1)重新开始，且重新设定 Gate Time，再计数一次。

- (8) 若 CTBOV=0，则代表此次计数资料是有意义的。可由数据计算出待测信号的频率，Duty Cycle。

计数总时间 $T = [1000000h - CTA_{<23:0>Initial} + CTA_{<23:0>Final}] / F_{SYSCLK}$

待测信号频率 = $CTB_{<23:0>} / T$

待测信号 Duty Cycle = $CTC_{<23:0>} / [1000000h - CTA_{<23:0>Initial} + CTA_{<23:0>Final}]$

其中 F_{SYSCLK} 为 SYSCLK 的频率， $CTA_{<23:0>Initial}$ 为还未计数前设定的值， $CTA_{<23:0>Final}$ 为计数完后，读出的值。

CNT And CMP pin:

CNT Pin 为数字输入脚，信号可由此输入，送至 Frequency Counter 量测。CMP Pin 为数字输出脚，可将芯片的 CMPO 信号输出至 CMP Pin。

- (1) ENCNTI：寄存器位，可 Enable CNT Buffer。1=Enable；0=Disable。也可选择 Frequency Counter 的输入源。
- (2) PCNTI：为 CNT Buffer 的输出，也会传送至寄存器 CTSTA<7>。
- (3) ENPCMPO：寄存器位，可 Enable CMP Pin 的 Buffer。1=Enable；0=Disable。

15. Reference documents

APD-DMM003_TC HY313X 组态设定

16. Ordering Information

下单品名 ¹	封装型式	引脚数	封装型式		出货包装形式	个装数量	材料组成	MSL ²
			描述方式					
HY3130-L048	LQFP	48	L	048	Tray	250	Green ³	MSL-3
HY3131-L044	LQFP	44	L	044	Tray	160	Green ³	MSL-3
HY3131-L048	LQFP	48	L	048	Tray	250	Green ³	MSL-3

¹ 产品名称 – 封装型式描述方式 (标准品)

例如：您的需求是 HY3131 封装片 LQFP44 出货，则下单品名为 HY3131-L044，

且需以 Tray 出货，则除下单品名外，请特别注明出货包装形式为 Tray

例如：您的需求是 HY3131 封装片 LQFP48 出货，则下单品名为 HY3131-L048，

且需以 Tray 出货，则除下单品名外，请特别注明出货包装形式为 Tray

² MSL:

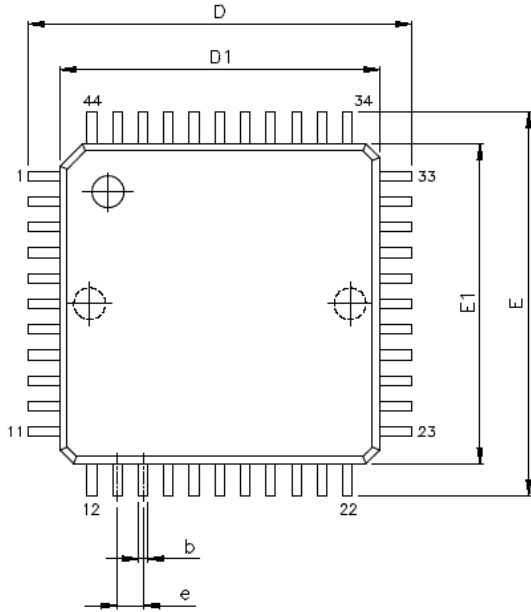
湿度敏感性等级系依据 IPC/JEDEC J-STD-020 的规范加以试验分级，并参考

IPC/JEDEC J-STD-033 的标准处理、包装、运输与使用。

³ Green (RoHS & no Cl/Br):

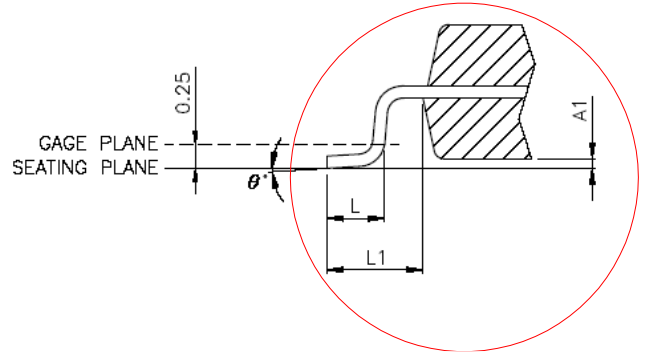
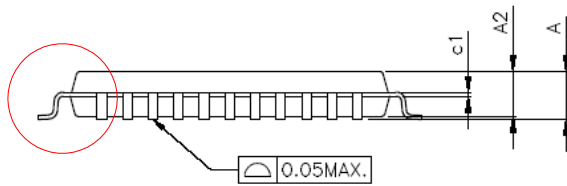
HYCON 产品皆为 Green Product，符合 RoHS 指令以及无卤素规定(Br/Cl<0.1%)

17. Packaging Information LQFP44(L044)



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
c1	0.09	—	0.16
D	12.00 BSC		
D1	10.00 BSC		
E	12.00 BSC		
E1	10.00 BSC		
e	0.80 BSC		
b	0.30	0.37	0.45
L	0.45	0.60	0.75
L1	1.00 REF		
θ°	0°	3.5°	7°

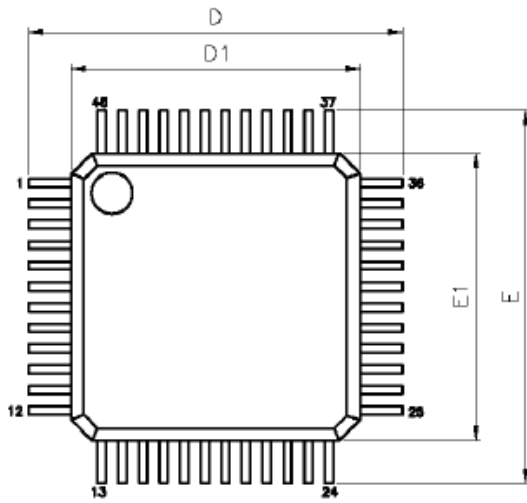


JEDEC MS-026 Compliant

HY3130/HY3131

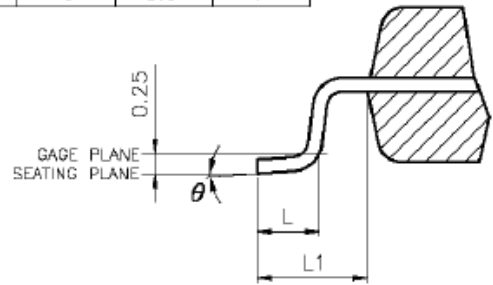
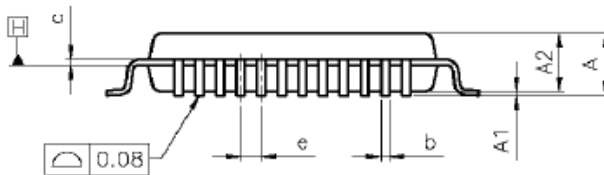
5,000/50,000 counts DMM Analog Front End

LQFP48(L048)



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX.
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	--	0.20
D	9.00 BSC		
D1	7.00 BSC		
E	9.00 BSC		
E1	7.00 BSC		
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	3.5°	7°



JEDEC MS-026 Compliant

18. Revision Record

Major differences are stated thereafter :

Version	Page	Revision Summary
V10	ALL	First Edition